

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In Re U.S. Patent Application) *I hereby certify that this paper is being deposited with the*
) *U.S. Postal Service as EXPRESS MAIL in an envelope*
 Applicants: Kurosawa et al.) *addressed to: Mail Stop Patent Application,*
) *Commissioner for Patents, P.O. Box 1450, Alexandria,*
 Serial No.) *VA 22313-1450 on this date.*
) 07/02/03 
 Filed: July 2, 2003) *Express Mail No. EL846179130US*
)
 For: THIN FILM TRANSISTOR DEVICE AND)
 METHOD OF MANUFACTURING THE SAME,)
 THIN FILM TRANSISTOR SUBSTRATE AND)
 DISPLAY HAVING THE SAME)

CLAIM FOR PRIORITY

Commissioner for Patents
 P.O. Box 1450
 Alexandria, VA 22313-1450

Sir:

Applicant claims foreign priority benefits under 35 U.S.C. §119 on the basis of
 the foreign applications identified below:

Japanese Patent Application No. 2002-197880, filed July 5, 2002.

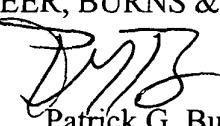
A certified copy of the priority document is enclosed.

Respectfully submitted,

GREER, BURNS & CRAIN, LTD.

July 2, 2003

By



Patrick G. Burns, Reg. No. 29,367

300 South Wacker Drive
 Suite 2500
 Chicago, Illinois 60606
 Telephone: 312.360.0080
 Facsimile: 312.360.9315

1324.08.34

(32) 550-0020

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2002年 7月 5日

出願番号

Application Number:

特願2002-197880

[ST.10/C]:

[JP2002-197880]

出願人

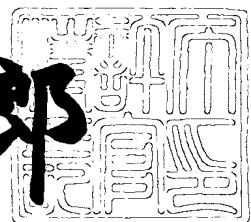
Applicant(s):

富士通ディスプレイテクノロジーズ株式会社

2003年 4月18日

特許庁長官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3027958

【書類名】 特許願

【整理番号】 0240272

【提出日】 平成14年 7月 5日

【あて先】 特許庁長官 殿

【国際特許分類】 G02F 1/133
H01L 29/786
H01L 21/336

【発明の名称】 薄膜トランジスタ装置及びその製造方法、並びにそれを備えた薄膜トランジスタ基板及び表示装置

【請求項の数】 10

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通ディスプレイテクノロジーズ株式会社内

【氏名】 黒澤 紀雄

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通ディスプレイテクノロジーズ株式会社内

【氏名】 堀田 和重

【特許出願人】

【識別番号】 302036002

【氏名又は名称】 富士通ディスプレイテクノロジーズ株式会社

【代理人】

【識別番号】 100101214

【弁理士】

【氏名又は名称】 森岡 正樹

【手数料の表示】

【予納台帳番号】 047762

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1
【物件名】 委任状 1
【援用の表示】 平成14年6月26日提出の包括委任状
【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 薄膜トランジスタ装置及びその製造方法、並びにそれを備えた薄膜トランジスタ基板及び表示装置

【特許請求の範囲】

【請求項1】

基板上に所定形状の半導体層を形成し、
前記半導体層上にゲート絶縁膜を形成し、
前記ゲート絶縁膜上に金属薄膜を形成し、
第1導電型の薄膜トランジスタのソース及びドレイン領域となる前記半導体層
上の前記金属薄膜を除去するようにパターニングし、

パターニングされた前記金属薄膜をマスクとして第1導電型の不純物を前記半
導体層に注入して、前記第1導電型の薄膜トランジスタのソース及びドレイン領
域を形成し、

パターニングされた前記金属薄膜をさらにパターニングして前記第1導電型の
薄膜トランジスタのゲート電極を形成し、

前記第1導電型の薄膜トランジスタのゲート電極をマスクとして第1導電型の
不純物を前記半導体層に注入して、前記第1導電型の薄膜トランジスタのソース
及びドレイン領域とチャネル領域との間に低濃度不純物領域を形成すること
を特徴とする薄膜トランジスタ装置の製造方法。

【請求項2】

請求項1記載の薄膜トランジスタ装置の製造方法において、
前記第1導電型の薄膜トランジスタのゲート電極の形成と同時に第2導電型の
薄膜トランジスタのゲート電極を形成し、

前記第1導電型の薄膜トランジスタを覆うようにレジストマスクを形成した後
に、第2導電型の不純物を前記半導体層に注入して前記第2導電型の薄膜トラン
ジスタのソース及びドレイン領域を形成し、

前記レジストマスクを除去した後に前記第1及び第2導電型の不純物を活性化
すること

を特徴とする薄膜トランジスタ装置の製造方法。

【請求項3】

基板上に形成された半導体層と、前記半導体層上に形成された第1のゲート絶縁膜と、前記第1のゲート絶縁膜上に形成された第2のゲート絶縁膜と、前記第2のゲート絶縁膜上に形成された第1のゲート電極とを備え、前記半導体層のソース及びドレイン領域とチャネル領域との間に低濃度不純物領域が形成された第1導電型の第1の薄膜トランジスタと、

前記半導体層と、前記第1のゲート絶縁膜と、前記第1のゲート絶縁膜上に形成された第2のゲート電極と、前記第2のゲート電極上に形成され、前記第2のゲート絶縁膜と同一の形成材料で形成された絶縁膜とを備えた第2の薄膜トランジスタと

を有することを特徴とする薄膜トランジスタ装置。

【請求項4】

基板上に互いに絶縁膜を介して交差して形成された複数のバスラインと、前記基板上の表示領域にマトリクス状に配置された画素領域と前記表示領域の周囲に配置された周辺回路とに形成された薄膜トランジスタ装置とを有する薄膜トランジスタ基板において、

前記薄膜トランジスタ装置は、請求項3記載の薄膜トランジスタ装置であること

を特徴とする薄膜トランジスタ基板。

【請求項5】

スイッチング素子として薄膜トランジスタを有する基板を備えた表示装置において、

前記基板に、請求項4記載の薄膜トランジスタ基板が用いられていることを特徴とする表示装置。

【請求項6】

基板上に所定形状の半導体層を形成し、

前記半導体層上に第1及び第2の薄膜トランジスタの第1のゲート絶縁膜を形成し、

前記第1のゲート絶縁膜上に第1の金属薄膜を形成し、

前記第1の金属薄膜をパターニングして前記第1の薄膜トランジスタのゲート電極を形成し、

前記第1の薄膜トランジスタのゲート電極上に前記第2の薄膜トランジスタの第2のゲート絶縁膜を形成し、

前記第2のゲート絶縁膜上に第2の金属薄膜を形成し、

前記第1の薄膜トランジスタ上と、前記第2の薄膜トランジスタのソース及びドレイン領域となる前記半導体層上の前記第2の金属薄膜を除去するようにパターニングし、

前記第1の薄膜トランジスタのゲート電極と、パターニングされた前記第2の金属薄膜とをマスクとして第1導電型の不純物を前記半導体層に注入して、前記第1及び第2の薄膜トランジスタのソース及びドレイン領域を形成し、

パターニングされた前記第2の金属薄膜をさらにパターニングして前記第2の薄膜トランジスタのゲート電極を形成し、

前記第2の薄膜トランジスタのゲート電極をマスクとして第1導電型の不純物を前記半導体層に注入して、前記第2の薄膜トランジスタのソース及びドレイン領域とチャネル領域との間に低濃度不純物領域を形成すること

を特徴とする薄膜トランジスタ装置の製造方法。

【請求項7】

請求項6記載の薄膜トランジスタ装置の製造方法において、

前記第1の薄膜トランジスタのゲート電極の形成と同時に第3の薄膜トランジスタのゲート電極を形成し、

前記第2の薄膜トランジスタのゲート電極の形成と同時に第4の薄膜トランジスタのゲート電極を形成し、

前記第1及び第2の薄膜トランジスタを覆うようにレジストマスクを形成し、

前記レジストマスク並びに前記第3及び第4の薄膜トランジスタのゲート電極をマスクとして第2導電型の不純物を前記半導体層に注入して、前記第3及び第4の薄膜トランジスタのソース及びドレイン領域を形成し、

前記レジストマスクを除去した後に前記第1及び第2導電型の不純物を活性化すること

を特徴とする薄膜トランジスタ装置の製造方法。

【請求項8】

基板上に所定形状の半導体層を形成し、

前記半導体層上に第1及び第2の薄膜トランジスタの第1のゲート絶縁膜を形成し、

前記第1のゲート絶縁膜上に第1の金属薄膜を形成し、

前記第1の金属薄膜をパターニングして前記第1の薄膜トランジスタのゲート電極を形成し、

前記第1の薄膜トランジスタのゲート電極上に前記第2の薄膜トランジスタの第2のゲート絶縁膜を形成し、

前記第2のゲート絶縁膜上に第2の金属薄膜を形成し、

前記第2の金属薄膜上に第1のレジストマスクを形成し、

前記第1の薄膜トランジスタ上と、前記第2の薄膜トランジスタのソース及びドレイン領域となる前記半導体層上の前記第2の金属薄膜を除去するように、前記第1のレジストマスクを用いてパターニングし、

パターニングされた前記第2の金属薄膜の幅を前記第1のレジストマスクの幅より狭く加工し、

前記第1のレジストマスク及び前記第1の薄膜トランジスタのゲート電極をマスクとして第1導電型の不純物を前記半導体層に注入して、前記第1及び第2の薄膜トランジスタのソース及びドレイン領域を形成し、

前記第1のレジストマスクを除去し、

加工された前記第2の金属薄膜をマスクとして第1導電型の不純物を前記半導体層に注入して、前記第2の薄膜トランジスタのソース及びドレイン領域とチャネル領域との間に低濃度不純物領域を形成すること

を特徴とする薄膜トランジスタ装置の製造方法。

【請求項9】

基板上に所定形状の半導体層を形成し、

前記半導体層上に第1及び第2の薄膜トランジスタの第1のゲート絶縁膜を形成し、

前記第1のゲート絶縁膜上に第1の金属薄膜を形成し、

前記第1の金属薄膜をパターニングして前記第1の薄膜トランジスタのゲート電極を形成し、

前記第1の薄膜トランジスタのゲート電極上に前記第2の薄膜トランジスタの第2のゲート絶縁膜を形成し、

前記第2のゲート絶縁膜上に第2の金属薄膜を形成し、

前記第1の薄膜トランジスタ上と、前記第2の薄膜トランジスタのソース及びドレイン領域となる前記半導体層上の前記第2の金属薄膜を除去するようにパターニングし、

前記第1の薄膜トランジスタのゲート電極と、パターニングされた前記第2の金属薄膜とをマスクとして第2導電型の不純物を前記半導体層に注入して、前記第1及び第2の薄膜トランジスタのソース及びドレイン領域を形成することを特徴とする薄膜トランジスタ装置の製造方法。

【請求項10】

基板上に所定形状の半導体層を形成し、

前記半導体層上に第1乃至第4の薄膜トランジスタの第1のゲート絶縁膜を形成し、

前記第1のゲート絶縁膜上に第1の金属薄膜を形成し、

前記第1の金属薄膜をパターニングして前記第1及び第2の薄膜トランジスタのゲート電極を形成し、

前記第1及び第2の薄膜トランジスタのゲート電極上に前記第3及び第4の薄膜トランジスタの第2のゲート絶縁膜を形成し、

前記第2のゲート絶縁膜上に第2の金属薄膜を形成し、

前記第2の金属薄膜上に第1のレジストマスクを形成し、

前記第1及び第2の薄膜トランジスタ上と、前記第3及び第4の薄膜トランジスタのソース及びドレイン領域となる前記半導体層上の前記第2の金属薄膜を除去するように前記第1のレジストマスクを用いてパターニングし、

前記第2の金属薄膜の幅を前記第1のレジストマスクの幅より狭く加工して、前記第3及び第4の薄膜トランジスタのゲート電極を形成し、

前記第1のレジストマスクと前記第1及び第2の薄膜トランジスタのゲート電極とをマスクとして第1導電型の不純物を前記半導体層に注入して、前記第1及び第3の薄膜トランジスタのソース及びドレイン領域を形成し、

前記第1のレジストマスクを除去し、

前記第3の薄膜トランジスタのゲート電極をマスクとして第1導電型の不純物を前記半導体層に注入して、前記第3の薄膜トランジスタのソース及びドレイン領域とチャネル領域との間に低濃度不純物領域を形成すること

を特徴とする薄膜トランジスタ装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、薄膜トランジスタ（以下、TFT（Thin Film Transistor）ともいう）を集積した薄膜トランジスタ基板（以下、TFT基板ともいう）及びそれを備えた表示装置に関し、より詳しくは多結晶シリコン（ポリシリコン）その他の半導体膜を用いたTFTを集積したTFT基板及びそれを備えた表示装置に関する。

【0002】

【従来の技術】

TFT基板は、アクティブマトリクス型の液晶表示パネルやEL（Electroluminescence）表示パネルの駆動用基板として用いられている。最近では、電子移動度の大きいポリシリコン等を半導体層に用いて、画素のためのTFTだけでなく、周辺回路であるゲートドライバ回路やデータドライバ回路も同一基板上に集積することが行われている。

【0003】

この際、TFTによるドライバ回路は、通常、n型とp型を組み合わせて相補型MOS（C-MOS）トランジスタで構成される。このうち、n型TFTはホットキャリア現象による特性劣化（以下、ホットキャリア劣化という）やオフリーケ電流の発生を抑制するため、低濃度不純物領域のLDD（Lightly Doped Drain）を形成する場合が多い。

【0004】

図12及び図13を用いて、液晶表示パネルに用いられるTFT基板において、C-MOSでドライバ回路を構成し、n型TFTをLDD構造とした場合のTFTの製造方法（第1の従来例）を説明する。図12及び図13においては、図の左側にn型TFT、右側にp型TFTを示している。

【0005】

まず、図12（a）に示すように、ガラス等の透明絶縁性基板101上にSiO₂等を厚さ80nm程度成膜し、バッファ層102を形成する。その後、プラズマCVD等によりアモルファスシリコンを成膜した後、エキシマレーザ等でアーナーしてアモルファスシリコンを結晶化させ、厚さ50nm程度のポリシリコンの半導体層103を形成する。次に、半導体層103をパターニングして、島状の半導体層103a及び103bを形成する。次に、半導体層103a及び103b上にSiO₂等を厚さ100nm程度成膜し、ゲート絶縁膜104を形成する。続いて、Cr等を厚さ400nm程度成膜した後パターニングし、ゲート電極105a及び105bを形成する。

【0006】

次に、図12（b）に示すように、レジストを塗布してパターニングし、n型TFTのLDDとなる部分及びゲート電極を覆うようにレジストマスクR106を形成する。次に、レジストマスクR106をエッティングマスクとして用いてエッティングし、ゲート絶縁膜104a及び104bを形成する。n型TFTは、ゲート絶縁膜104aとゲート電極105aとが階段状に形成されている。その後、レジストマスクR106を除去する。

【0007】

次に、図12（c）に示すように、レジストを塗布してパターニングし、p型TFT全体を覆うようにレジストマスクR107を形成する。次に、レジストマスクR107、ゲート電極105a及びゲート絶縁膜104aをマスクとし、リン等の不純物を低加速・高ドーズ量（例えば10keV、 $1 \times 10^{15} \text{ cm}^{-2}$ ）の条件の下で注入し、n型TFTのソース及びドレイン領域1031を半導体層に形成する。続けて、レジストマスクR107及びゲート電極105aをマスクと

し、リン等の不純物を高加速・低ドーズ量（例えば90 keV、 $5 \times 10^{13} \text{ cm}^{-2}$ ）の条件の下でゲート絶縁膜104aを通して注入し、LDD領域1032を形成する。1回目のリン等の不純物の注入は、ソース及びドレイン領域に多くの不純物を注入する必要があるがゲート絶縁膜104aは除去されており遮るものがないので、低加速・高ドーズ量での注入となる。一方、2回目のリン等の不純物の注入は、LDDを形成するため不純物を多く注入する必要はないが、ゲート絶縁膜104aを通して注入しなければならないので、高加速・低ドーズ量での注入となる。なお、ゲート電極105aは2回のリン等の不純物の注入のいずれにおいてもマスクとして用いられるので、チャネル領域1033にはリン等の不純物は注入されない。その後、レジストマスクR107を除去する。

【0008】

次に、図13（a）に示すように、レジストを塗布してパターニングし、n型TFT全体を覆うようにレジストマスクR108を形成する。次に、レジストマスクR108及びゲート電極105bをマスクとして、ボロン等の不純物を所定の加速エネルギー及びドーズ量（例えば10 keV、 $1 \times 10^{15} \text{ cm}^{-2}$ ）で注入し、p型TFTのソース及びドレイン領域1035を半導体層に形成する。ゲート電極105bがマスクとなっているため、チャネル領域1036にはボロン等の不純物は注入されない。その後、レジストマスクR108を除去する。

【0009】

次に、図13（b）に示すように、エキシマレーザを照射することにより、注入したリンやボロン等の不純物を活性化させる。ここで、n型TFTのソース及びドレイン領域1031及びp型TFTのソース及びドレイン領域1035は、何ら遮るものがないので直接レーザ光が照射されるが、LDD領域1032はゲート絶縁膜104aを介して照射される点に注意する必要がある。

【0010】

次に、図13（c）に示すように、SiN等を厚さ300 nm程度成膜することにより層間絶縁膜109を形成し、層間絶縁膜109にコンタクトホールを開口する。また、Mo等を厚さ300 nm程度成膜し、パターニングすることにより配線110を形成する。これによりn型TFT及びp型TFTが完成する。な

お、図示していないが、さらに保護膜及び画素電極などを形成してTFT基板が完成する。

【0011】

図12及び図13に示すように、n型TFTのゲート電極105aとゲート絶縁膜104aを階段状に加工し、ゲート電極105aとゲート絶縁膜104aをマスクとして低加速・高ドーズ量で注入してソース及びドレイン領域を形成し、ゲート電極105aをマスクとしてゲート絶縁膜104aを通して高加速・低ドーズ量で注入してLDD領域を形成することが多い。なお、図12及び図13ではp型TFTではLDD領域のない構造を示しているが、p型TFTもゲート電極105bとゲート絶縁膜104bを階段状に加工して、LDD領域を形成することも可能である。

【0012】

次に、図14及び図15を用いて、液晶表示パネルに用いられるTFT基板において、ドライバの一部回路等を構成する高速動作可能な低電圧用TFTと、液晶を駆動する高電圧用の画素TFT及びドライバの一部回路等とを同一基板上に形成する際のTFT基板の製造方法（第2の従来例）を説明する。図14及び図15で説明するのはn型TFTの製造方法である。図14及び図15においては、図の左側に低電圧用TFT、右側に高電圧用TFTを示している。

【0013】

まず、図14（a）に示すように、ガラス等の透明絶縁性基板201上にSiO₂等を厚さ80nm程度成膜し、バッファ層202を形成する。次に、プラズマCVD等によりアモルファスシリコンを成膜した後、エキシマレーザ等でアニールしてアモルファスシリコンを結晶化させ、厚さ50nm程度のポリシリコンの半導体層203を形成する。次に、半導体層203をパターニングして、島状の半導体層203a及び203bを形成する。

【0014】

次に、図14（b）に示すように、半導体層203a及び203b上に、SiO₂等を厚さ30nm程度成膜し、低電圧用TFTのゲート絶縁膜204を形成する。続いて、Cr等を厚さ400nm程度成膜してパターニングし、低電圧用

TFTのゲート電極205a及びゲート絶縁膜204aを形成する。これにより、低電圧用TFTにのみゲート絶縁膜204a及びゲート電極205aが形成される。

【0015】

次に、図14(c)に示すように、基板全面にSiO₂等を厚さ100nm程度成膜し、高電圧用TFTのゲート絶縁膜206を形成する。次に、Cr等を厚さ400nm程度成膜してパターニングし、高電圧用TFTのゲート電極207bを形成する。これにより、高電圧用TFTにゲート電極207bが形成される。低電圧用TFTのゲート絶縁膜204aの厚さは比較的薄く、高電圧用TFTのゲート絶縁膜206の厚さは比較的厚くなっている。

【0016】

次に、レジストを塗布してパターニングし、レジストマスクを形成する。次に、図15(a)に示すように、当該レジストマスクをエッチングマスクとして用いてゲート絶縁膜206をエッチングする。ゲート絶縁膜206は、高電圧用TFTのゲート電極207bより幅広であって高電圧用TFTの部分のみ残るようにエッチングされる。その後レジストマスクを除去する。この段階で、高電圧用TFTでは、ゲート電極207bとゲート絶縁膜206bとが階段状に形成される。

【0017】

次に、ゲート電極205a、ゲート電極207b及びゲート絶縁膜206bをマスクとして、リン等の不純物を低加速・高ドーズ量(例えば10keV、 $1 \times 10^{15} \text{ cm}^{-2}$)の条件の下で注入し、低電圧用TFTのソース及びドレイン領域2031と高電圧用TFTのソース及びドレイン領域2035とを形成する。続いて、ゲート電極205a及びゲート電極207bをマスクとして、リン等の不純物を高加速・低ドーズ量(例えば90keV、 $5 \times 10^{13} \text{ cm}^{-2}$)の条件の下でゲート絶縁膜206bを通して半導体層203bに注入し、高電圧用TFTのLDD領域2036を形成する。

【0018】

1回目のリン等の不純物の注入は、ソース及びドレイン領域に多くの不純物を

注入する必要があるが、ゲート絶縁膜206は除去されており遮るものがないので、低加速・高ドーズ量での注入となる。一方、2回目のリン等の不純物の注入は、LDDを形成するため不純物を多く注入する必要はないが、ゲート絶縁膜206bを通して注入しなければならないので、高加速・低ドーズ量での注入となる。なお、ゲート電極205a及び207bは2回のリン等の不純物の注入のいずれにおいてもマスクとして用いられるので、チャネル領域2032及び2037にはリン等の不純物は注入されない。

【0019】

なお、図14及び図15には示していないが、ドライバ等の周辺回路は通常CMOSで構成されるので、p型となるTFTをレジストマスク等で覆った後にn型となるTFT（画素TFTを含む）にリン等の不純物を注入し、一方でn型となるTFTをレジストマスク等で覆った後にp型となるTFTにボロン等の不純物を注入する必要がある。

【0020】

次に、図15（b）に示すように、エキシマレーザを照射することにより、注入したリンやボロン等の不純物を活性化させる。ここで、低電圧用TFTのソース及びドレイン領域2031と高電圧用TFTのソース及びドレイン領域2035とは、何ら遮るものがないので直接レーザ光が照射されるが、LDD領域2036はゲート絶縁膜206bを介してレーザ光が照射される点に注意する必要がある。

【0021】

次に、図15（c）に示すように、SiN等を厚さ300nm程度成膜することにより層間絶縁膜208を形成し、当該層間絶縁膜208にコンタクトホールを開口する。また、Mo等を厚さ300nm程度成膜してパターニングし、配線209を形成する。これにより、低電圧用TFT及び高電圧用TFTが完成する。なお、図示していないが、さらに保護膜及び画素電極などを形成してTFT基板が完成する。

【0022】

このように高電圧用TFTでは、ゲート電極207bより幅の広いゲート絶縁

膜206bが半導体層203b上に設けられており、第1の従来例と同様に階段構造が形成されている。これによりLDD領域2036が形成されることになる。一方、低電圧用TFTでは、ゲート電極205aとゲート絶縁膜204aは同じ幅となっているため、LDD領域は形成されない。

【0023】

なお、特開2001-168346号公報には、LDD構造とするため不純物を2回に分けて注入し、1回目と2回目の注入時の間で、マスクとして使用するゲート電極の寸法をLDD長さに対応して変える技術が開示されている。マスクとして使用するゲート電極の寸法を変える手段として、金属酸化やドライエッチングを利用し、ゲート電極のドライエッチングを精度良く行うためフォトレジストに工夫を凝らすようになっている。しかし、このような技術を用いると、ゲート電極の寸法を変える際にマスクを利用しないので、LDD長の制御が容易ではないという問題がある。

【0024】

また、特開2000-36598号公報には、異なるLDD構造を有するTFTを同一基板上に同時に作製する技術が開示されている。この公報では、耐熱性の高いTa膜又はTaを主成分とする膜を配線材料に用い、さらに保護層で覆うことで、高温での加熱処理を施すことが可能となり、且つ保護層をエッティングストッパーとして用いることで、周辺駆動回路部においては、サイドウォールを用いた自己整合プロセスによるLDD構造を備えたTFTを配置する一方、画素マトリクス部においては、絶縁物を用いた非自己整合プロセスによるLDD構造を備えたTFTを配置している。この公報では、上で述べたような技術事項の他、ゲート電極形成前に、ゲート絶縁膜を周辺駆動回路部に合わせて薄く全面に形成し、画素マトリクス部で厚くなるようにゲート絶縁膜を再度形成する必要があるため、ゲート絶縁膜のエッティングが必要となる。また、ゲート電極上に絶縁膜を成膜し、画素マトリクス部のLDDとなる部分をレジストで覆った後、このゲート絶縁膜を異方性エッティングするため、画素マトリクス部にはマスク合わせによるLDD長の長いLDDが形成され、回路部はサイドウォールによる自己整合型LDDが形成されるが、選択的にLDDを有さないTFTを形成することはでき

ない。

【0025】

さらに、特開平9-191111号公報には、同一基板上にNチャネル型の薄膜トランジスタとPチャネル型の薄膜トランジスタとを集積化して作製する工程において、陽極酸化可能な材料でなるゲート電極の側面に多孔質状の陽極酸化膜を選択的に形成する工程と、前記陽極酸化膜をマスクとしてn型を付与する不純物を添加する工程と、前記陽極酸化膜を除去する工程と、前記ゲート電極をマスクとしてn型を付与する不純物を添加し前記陽極酸化膜が存在した領域下にLDD領域を形成する工程と、Nチャネル型の薄膜トランジスタとする領域を選択的にマスクしP型を付与する不純物を添加する工程とを有することを特徴とする半導体装置の作製方法が開示されている。本公報の技術では、ゲート電極を陽極酸化する必要がある。また、全てのTFTに同じ長さのLDDが形成され、選択的にLDDのないn型TFTを形成することはできない。

【0026】

【発明が解決しようとする課題】

以上第1の従来例において説明したように、半導体層とゲート絶縁膜とを階段状に形成することによりLDDを形成するTFT基板の製造方法においては、注入された不純物を低温で活性化するためエキシマレーザ等をTFT基板全面に照射することが多い。LDD領域1032上にはゲート絶縁膜104aが形成されているのに対して、ソース及びドレイン領域1031及び1035上にはゲート絶縁膜が形成されていない。このため、光の干渉効果によりLDD領域1032とソース及びドレイン領域1031及び1035とで実際に吸収されるエネルギーが異なり、活性化のエネルギーの最適化が容易ではないという問題が生じる。また、ゲート絶縁膜は、TFTの高性能化に伴ってより薄膜化されていく傾向にある。ゲート絶縁膜104aが薄膜化されると、ソース及びドレイン領域1031及び1035への不純物注入時に、不純物イオンをマスクする能力が低下する。このため、LDD領域1032へも不純物イオンの一部が注入されてしまい、LDD領域1032の不純物濃度を低濃度に制御するのが困難になってしまうという問題が生じる。

【0027】

また、第2の従来例において説明したTFT基板の製造方法においては、第1の従来例の問題点に加え、以下のような問題も存在している。すなわち、高電圧用TFTの半導体層203b上では、低電圧用TFTのためのゲート絶縁膜204を一旦形成した後、ゲート絶縁膜204をエッチング除去している。このエッチングは通常ドライエッチングで行われるため、高電圧TFTの半導体層203bにはエッチングによるプラズマダメージが非常に発生しやすい。このため、高電圧用TFTの特性や信頼性が低下してしまうという問題が生じる。また、低電圧用TFTではゲート電極205aとゲート絶縁膜204aが同じ幅であるため、ゲート電極205aと半導体層203a（ソース及びドレイン領域2031及びチャネル領域2032）との間で、ゲート絶縁膜204aの側壁に製造プロセスにより残留したわずかな不純物や汚染イオン等によりリーク電流が流れやすくなる。しかも、低電圧用TFTではゲート絶縁膜204aが薄いため、よりその傾向が強くなる。したがって、低電圧用TFTの信頼性も低くなってしまうという問題が生じる。

【0028】

さらに、周辺回路一体型のTFT基板に、将来さらに高機能な回路を搭載するには、論理回路部や信号処理回路部の動作をより高速にするため、チャネル長を短くして各素子を微細化したり、n型TFTであってもLDDをなくすことが考えられる。このためには、液晶やELの駆動用にある程度大きな電圧（例えば10Vから30V）の必要な画素TFT及び画素TFTを直接駆動するドライバの一部の回路等に比べて、論理回路部や信号処理回路部のTFTのゲート絶縁膜の膜厚をさらに薄くして動作電圧を下げる必要がある。ゲート絶縁膜を薄くすることで閾値電圧を下げられるので動作電圧を低くすることができ、それゆえチャネル長を短くしたりLDDを形成しなくしてもホットキャリア劣化を抑制することができるためである。

【0029】

本発明の目的は、良好な特性及び高い信頼性の得られる薄膜トランジスタ装置及びその製造方法、並びにそれを備えた薄膜トランジスタ基板及び表示装置を提

供することにある。

【0030】

【課題を解決するための手段】

上記目的は、基板上に所定形状の半導体層を形成し、前記半導体層上にゲート絶縁膜を形成し、前記ゲート絶縁膜上に金属薄膜を形成し、第1導電型の薄膜トランジスタのソース及びドレイン領域となる前記半導体層上の前記金属薄膜を除去するようにパターニングし、パターニングされた前記金属薄膜をマスクとして第1導電型の不純物を前記半導体層に注入して、前記第1導電型の薄膜トランジスタのソース及びドレイン領域を形成し、パターニングされた前記金属薄膜をさらにパターニングして前記第1導電型の薄膜トランジスタのゲート電極を形成し、前記第1導電型の薄膜トランジスタのゲート電極をマスクとして第1導電型の不純物を前記半導体層に注入して、前記第1導電型の薄膜トランジスタのソース及びドレイン領域とチャネル領域との間に低濃度不純物領域を形成することを特徴とする薄膜トランジスタ装置の製造方法によって達成される。

【0031】

【発明の実施の形態】

本発明の一実施の形態による薄膜トランジスタ装置及びその製造方法、並びにそれを備えた薄膜トランジスタ基板及び表示装置として液晶表示装置について図1乃至図11を用いて説明する。図1は、本実施の形態による液晶表示装置を構成するTFT基板の構成を示している。液晶表示装置1000は、TFT基板1100と、TFT基板1100に対向配置された対向基板（図示せず）と、両基板間に封止された液晶とを有している。TFT基板1100には、画素領域がマトリクス状に配置された画素マトリクス部1110と、周辺回路であるゲートドライバ1120と表示コントローラ1140とデータドライバ1130とが含まれる。画素マトリクス部1110には、複数の画素TFTが各画素領域毎に形成されている。各画素TFTは、当該画素TFTのソース電極に接続されるデータ線によりデータドライバ1130と接続され、当該画素TFTのゲートに接続されるゲート線によりゲートドライバ1120と接続されている。

【0032】

表示コントローラ1140には、例えばパーソナル・コンピュータ（図示せず）から水平同期信号H、垂直同期信号V、低電源電圧VL及びグランド電圧V_{gnd}が供給される。表示コントローラ1140は、供給された信号を用いてD-SI信号及びD-CLK信号を生成し、データドライバ1130のシフトレジスタ1131に出力する。また、低電源電圧VL及びグランド電圧V_{gnd}もデータドライバ1130に供給される。データドライバ1130には、高電源電圧VHも供給される。データドライバ1130のシフトレジスタ1131は、生成した信号をレベルシフタ1132に出力する。データドライバ1130のアナログスイッチ1133には、例えばパーソナル・コンピュータから赤（R）、緑（G）、青（B）の各信号が入力される。アナログスイッチ1133は、レベルシフタ1132からの信号に従って、画素マトリクス部1110に接続された各データ線に信号を出力する。

【0033】

表示コントローラ1140は、供給された信号を用いてG-SI信号及びG-CLK信号を生成し、ゲートドライバ1120のシフトレジスタ1121に出力する。低電源電圧VL及びグランド電圧V_{gnd}もゲートドライバ1120に供給される。ゲートドライバ1120には、高電源電圧VHも供給される。ゲートドライバ1120のシフトレジスタ1121は、生成した信号をレベルシフタ1122に出力する。レベルシフタ1122は、入力された信号に基づき出力バッファ1123に信号を出力する。出力バッファ1123は、入力された信号に基いて、画素マトリクス部1110に接続された各ゲート線に信号を出力する。

【0034】

ここで、表示コントローラ1140と、データドライバ1130のシフトレジスタ1131と、ゲートドライバ1120のシフトレジスタ1121とは、高速動作が必要なので低電圧用TFTで構成される。データドライバ1130のレベルシフタ1132とゲートドライバ1120のレベルシフタ1122とは、低電圧用TFTと高電圧TFTの両方で構成される。ゲートドライバ1120の出力バッファ1123と、データドライバ1130のアナログスイッチ1133と、画素マトリクス部1110とは、低速動作の高電圧用TFTで構成される。

【0035】

以下で説明する実施例1は、低電圧用TFTにも高電圧用TFTにも適用可能である。低電圧用TFTは、LDDを設けない構成であってもLDDを設ける構成であっても対応できる。また、以下で説明する実施例2乃至5は、低電圧用TFT及び高電圧用TFTを同時に構成する場合を示している。低電圧用TFTではLDDを設けず、ゲート絶縁膜を単層で薄くしている。高電圧用TFTではLDDを設けて、ゲート絶縁膜を2層にして高耐圧の構成としている。

【0036】

【実施例1】

本実施の形態の実施例1によるTFT基板の製造方法について図2及び図3を用いて説明する。図2及び図3は、TFT基板の構成及び製造方法を示す工程断面図である。図2及び図3においては、LDDが形成されないp型TFT、LDDが形成されるn型TFT、及びLDDが形成されないn型TFTの各例を図の左側から順に示している。

【0037】

まず、図2(a)に示すように、ガラス等の透明絶縁性基板1上にSiO₂等を厚さ80nm程度成膜し、バッファ層2を形成する。次に、プラズマCVD等によりアモルファスシリコンを成膜した後、エキシマレーザ等でアニールしてアモルファスシリコンを結晶化させ、厚さ50nm程度のポリシリコンの半導体層3を形成する。次に、レジストを塗布してパターニングし、レジストマスクを形成する。次に、レジストマスクをエッティングマスクとして用いてドライエッティングを行い、島状の半導体層3a、3b及び3cを形成する。次に、半導体層3a、3b及び3c上にSiO₂等を厚さ100nm程度成膜し、ゲート絶縁膜4を形成する。

【0038】

次に、Mo等を厚さ300nm程度成膜して金属薄膜を形成する。次に、レジストを塗布してパターニングし、レジストマスクを形成する。次に、図2(b)に示すように、レジストマスクをエッティングマスクとして用いてドライエッティングを行い、金属薄膜のうちn型TFTのソース及びドレイン領域301に対応す

る部分を除去する。すなわち金属薄膜は、LDDが形成されないp型TFTの場合には、p型TFT全体の幅以上の幅を有する金属薄膜の部分5aが残るようにパターニングされる。LDDが形成されるn型TFTの場合には、チャネル領域及びLDD領域に対応する金属薄膜の部分5bが残るようにパターニングされる。LDDが形成されないn型TFTの場合には、ゲート電極5cそのものが残るようにパターニングされる。LDDが形成されるn型TFTの場合には、LDD領域の分だけ金属薄膜の部分5bの幅がゲート幅より広くなっている。その後レジストマスクを除去する。

【0039】

次に、金属薄膜の残された部分5a、5b及び5cをマスクとして、リン等のn型の不純物を高加速・高ドーズ量（例えば90keV、 $1 \times 10^{15} \text{ cm}^{-2}$ ）の条件の下でゲート絶縁膜4を通して注入する1回目の注入を行う。これにより、LDDが形成されるn型TFT及びLDDが形成されないn型TFTのソース及びドレイン領域301を形成する。金属薄膜の部分5b及び5cがマスクとなっているため、LDDが形成されるn型TFTのLDD領域及びチャネル領域となるべき部分302には不純物が注入されず、LDDが形成されないn型TFTのチャネル領域303には不純物が注入されない。また、金属薄膜の部分5aがマスクとなっているため、p型TFTの半導体層3aには不純物が注入されない。

【0040】

次に、レジストを塗布してパターニングし、レジストマスクを形成する。次に、図2(c)に示すように、レジストマスクをエッチングマスクとして用いてエッチングを行い、Mo等の金属薄膜のうちp型TFTのソース及びドレイン領域に対応する部分と、n型TFTのLDD領域に対応する部分とを除去する。すなわち金属薄膜は、p型TFTのゲート電極51と、LDDが形成されるn型TFTのゲート電極52と、LDDが形成されないn型TFTのゲート電極5cとが残るようにパターニングされる。LDDが形成されるn型TFTの金属薄膜は、LDD領域の分だけ幅が狭められる。なお、LDDが形成されないn型TFTでは既にゲート電極5cが形成されているので、n型TFT全体をレジストマスクで覆っておけばよい。その後レジストマスクを除去する。

【0041】

次に、各TFTのゲート電極51、52及び5cをマスクとし、リン等のn型の不純物を高加速・低ドーズ量（例えば90keV、 $5 \times 10^{13} \text{ cm}^{-2}$ ）の条件の下でゲート絶縁膜4を通して注入する2回目の注入を行う。これにより、LDDを形成するn型TFTの半導体層3bのソース又はドレイン領域301とチャネル領域307の間にLDD領域306を形成する。このとき、LDDが形成されるn型TFTとLDDが形成されないn型TFTとのソース及びドレイン領域301にも不純物が再度注入されるが影響はない。一方、p型TFTのソース及びドレイン領域304にも、高加速・低ドーズ量の条件の下、n型の不純物が注入される。

【0042】

次に、図3（a）に示すように、レジストを塗布してパターニングし、n型TFT全体を覆うようなレジストマスク6a及び6bを形成する。これにより、n型TFTにp型の不純物が導入されないようになる。すなわち、p型TFTのゲート電極51をマスクとし、p型TFTにのみ選択的にボロン等のp型の不純物を高加速・高ドーズ量の条件（例えば70keV、 $1 \times 10^{15} \text{ cm}^{-2}$ ）の条件の下でゲート絶縁膜4を通して注入する。これにより、p型TFTの半導体層3aのソース及びドレイン領域304が形成される。本実施例ではp型TFTにLDD領域を形成しないため、不純物の注入は1回でよい。なお、p型TFTのチャネル領域305にはボロン等のp型不純物は注入されない。その後レジストマスク6a及び6bを剥離する。

【0043】

次に、図3（b）に示すように、500°C前後の熱処理あるいはエキシマレーザ等によるアニールにより、n型及びp型の不純物を活性化する。

【0044】

次に、図3（c）に示すように、SiN等を厚さ300nm程度成膜して層間絶縁膜7を形成し、当該層間絶縁膜7及びゲート絶縁膜4にコンタクトホールを開口する。また、Al等を厚さ300nm程度成膜してパターニングし、配線8を形成する。これにより、n型TFT及びp型TFTが完成する。なお、図示し

ていないが、さらに保護膜及び画素電極などを形成してTFT基板が完成する。

【0045】

なお、図2(c)で示したLDD領域形成のためのn型不純物の注入は、図3(a)に示すレジストマスク6a及び6bを剥離した後であって、図3(b)で示すレーザ光を照射する工程の前に行うようにしてもよい。

【0046】

本実施例では、n型TFTのソース及びドレイン領域301を形成するためのn型不純物注入時に、ゲート電極となるMo等の金属薄膜5の幅をLDD領域306の幅だけ広くなるように形成しておき、LDD領域306を形成するときには金属薄膜5をゲート電極の幅に成形している。これにより、従来例のように半導体膜とゲート絶縁膜による階段状の構造を用いずにLDD領域を形成することができるようになる。またこれにより、レーザ光の照射により不純物を活性化する場合であっても、ゲート絶縁膜4に覆われていない部分がないため活性化のエネルギーの最適化が容易になる。なお、ゲート絶縁膜4については、コンタクトホール部以外はエッチングすることができないので、ゲート電極とソース及びドレイン領域との間のリーク電流も生じにくい。さらに、ソース及びドレイン領域301への不純物の注入時には金属薄膜がマスクとなるので、ゲート絶縁膜4が薄膜化しても、マスクの能力が低下するという問題は生じなくなる。

【0047】

なお、図2(c)でLDD領域306へのn型不純物の注入時に、p型TFTのソース及びドレイン領域304にもn型不純物が注入されてしまうが、図3(a)においてp型TFTのソース及びドレイン領域304に注入されるp型不純物の10分の1以下の量であるから、その影響についてはほとんど無視することができる。したがって、製造プロセスを増加させることなしに、不純物の活性化及びLDD領域における不純物の制御を容易にすことができ、素子特性の向上を図ることができるようになる。

【0048】

また、本実施例ではp型TFTにLDDが形成されていない。p型TFTではホットキャリア劣化があまり問題とならないため特にLDDを形成する必要はない。

く、むしろ駆動能力を上げるためにLDDが形成されていない方がよい。

【0049】

【実施例2】

次に、本実施の形態の実施例2によるTFT基板の製造方法について図4及び図5を用いて説明する。本実施例では、低電圧用p型TFT、低電圧用n型TFT、高電圧用p型TFT及び高電圧用n型TFTが同時に形成されている。図4及び図5は、TFT基板の構成及び製造方法を示す工程断面図である。図4及び図5においては、低電圧用p型TFT、低電圧用n型TFT、高電圧用p型TFT及び高電圧用n型TFTを図の左側から順に示している。

【0050】

まず、図4(a)に示すように、ガラス等の透明絶縁性基板21上にSiO₂等を厚さ80nm程度成膜し、バッファ層22を形成する。次に、プラズマCVD等によりアモルファスシリコンを成膜した後、エキシマレーザ等でアニールしてアモルファスシリコンを結晶化させ、厚さ50nm程度のポリシリコンの半導体層23を形成する。次に、レジストを塗布してパターニングし、レジストマスクを形成する。このレジストマスクをエッチングマスクとして用いてドライエッチングを行い、島状の半導体層23a、23b、23c及び23dを形成する。次に、半導体層23a、23b、23c及び23d上にSiO₂等を厚さ30nm程度成膜し、第1のゲート絶縁膜24を形成する。第1のゲート絶縁膜24は、低電圧用TFTのためのゲート絶縁膜となる。

【0051】

次に、Mo等を厚さ300nm程度成膜して金属薄膜を形成する。次に、レジストを塗布してパターニングし、レジストマスクを形成する。このレジストマスクをエッチングマスクとして用いてエッチングを行い、金属薄膜のうち低電圧用p型TFT及び低電圧用n型TFTのソース及びドレイン領域に対応する部分と、高電圧用p型TFT及び高電圧用n型TFTの部分とを除去する。すなわち金属薄膜は、低電圧用p型TFTのゲート電極25aと、低電圧用n型TFTのゲート電極25bとが残るようにパターニングされる。次いで、ゲート電極25a及び25b上にSiO₂等を厚さ70nm程度成膜し、第2のゲート絶縁膜26

を形成する。第1のゲート絶縁膜24は低電圧用TFTのためのゲート絶縁膜であるため、低電圧用TFTに合わせて膜厚を決定できる。また、第1のゲート絶縁膜24及び第2のゲート絶縁膜26の2層のゲート絶縁膜により高電圧用TFTのゲート絶縁膜が構成されるので、第2のゲート絶縁膜26の膜厚を調整することにより、高電圧用TFTに合わせてゲート絶縁膜の膜厚を決定できる。

【0052】

次に、図4（b）に示すように、高電圧用TFTのゲート電極となるA1等を厚さ300nm程度成膜して金属薄膜を形成する。次に、レジストを塗布してパターニングし、レジストマスクを形成する。このレジストマスクをエッチングマスクとして用いてエッチングを行い、金属薄膜のうち低電圧用n型TFTの部分と、高電圧用n型TFTのソース及びドレイン領域231に対応する部分とを除去する。すなわち金属薄膜は、低電圧用p型TFT全体の幅以上の幅を有する金属薄膜の部分27a、高電圧用p型TFT全体の幅以上の幅を有する金属薄膜の部分27b、及び高電圧用n型TFTのチャネル領域及びLDD領域に対応する金属薄膜の部分27cが残るようにパターニングされる。高電圧用n型TFTにはLDD領域が設けられるため、LDD領域の分だけ金属薄膜の部分27cの幅がゲート幅より広くなっている。その後レジストマスクを除去する。

【0053】

次に、A1等の金属薄膜の残された部分27a、27b及び27cをマスクとして、リン等のn型の不純物を高加速・高ドーズ量（例えば90keV、 $1 \times 10^{15} \text{ cm}^{-2}$ ）の条件の下でゲート絶縁膜24及び26を通して注入する1回目の注入を行う。これにより、低電圧用n型TFTのソース及びドレイン領域240と、高電圧用n型TFTのソース及びドレイン領域231とが形成される。金属薄膜の部分27a、27b及び27cがマスクとなっているため、低電圧用p型TFTの半導体層23a、高電圧用p型TFTの半導体層23c、高電圧用n型TFTのLDD領域及びチャネル領域となるべき部分233には不純物が注入されない。また、ゲート電極25bがマスクとなるため、低電圧用n型TFTのチャネル232には不純物は注入されない。

【0054】

次に、レジストを塗布してパターニングし、レジストマスクを形成する。次に、レジストマスクをエッティングマスクとして用いてエッティングを行い、金属薄膜のうち低電圧用 p 型 TFT の部分 27a と、高電圧用 p 型 TFT のソース及びドレイン領域 236 に対応する部分と、高電圧用 n 型 TFT の LDD 領域 238 に対応する部分を除去する。すなわち金属薄膜は、高電圧用 p 型 TFT のゲート電極 271 と、高電圧用 n 型 TFT のゲート電極 272 とが残るようにパターニングされる。その後レジストマスクを除去する。

【0055】

次に、図4 (c) に示すように、高電圧用 p 型 TFT のゲート電極 271 及び高電圧用 n 型 TFT のゲート電極 272 をマスクとし、リン等の n 型の不純物を高加速・低ドーズ量 (例えば 90 keV, $5 \times 10^{13} \text{ cm}^{-2}$) の条件の下でゲート絶縁膜 24 及び 26 を通して注入する 2 回目の注入を行う。これにより、高電圧用 n 型 TFT のソース又はドレイン領域 231 とチャネル領域 239 の間の半導体層に LDD 領域 238 を形成する。一方、低電圧用 p 型 TFT のソース及びドレイン領域 234 及び高電圧用 p 型 TFT のソース及びドレイン領域 236 とも、高加速・低ドーズ量の条件の下、n 型の不純物が注入される。なお、高電圧用 p 型 TFT のチャネル領域 237 及び高電圧用 n 型 TFT のチャネル領域 239 には、ゲート電極 271 及び 272 がマスクとなるため n 型の不純物は注入されない。また、低電圧用 p 型 TFT のゲート電極 25a 及び低電圧用 n 型 TFT のゲート電極 25b もマスクとして作用して、チャネル領域 235 及び 232 には n 型の不純物が注入されない。

【0056】

次に、図5 (a) に示すように、レジストを塗布してパターニングし、低電圧用 n 型 TFT 全体及び高電圧用 n 型 TFT 全体を覆うようなレジストマスク 28a 及び 28b を形成する。これにより、低電圧用 n 型 TFT 及び高電圧用 n 型 TFT に p 型の不純物が導入されないようになる。すなわち、低電圧用 p 型 TFT のゲート電極 25a 及び高電圧用 p 型 TFT のゲート電極 271 をマスクとして、高電圧用 p 型 TFT 及び低電圧用 p 型 TFT にのみ選択的にボロン等の p 型不純物を高加速・高ドーズ量の条件 (例えば 70 keV, $1 \times 10^{15} \text{ cm}^{-2}$) の条

件の下でゲート絶縁膜24及び26を通して注入する。これにより、低電圧用p型TFTの半導体層のソース及びドレイン領域234と、高電圧用p型TFTの半導体層のソース及びドレイン領域236とを形成する。p型TFTにはLDD領域を形成しないので、不純物の注入は1回でよい。

【0057】

その後レジストマスク28a及び28bを剥離する。次に、図5(b)に示すように、500°C前後の熱処理あるいはエキシマレーザ等によるアニールを行い、n型及びp型の不純物を活性化する。

【0058】

次に、図5(c)に示すように、SiN等を厚さ300nm程度成膜して層間絶縁膜29を形成し、当該層間絶縁膜29及びゲート絶縁膜24及び26にコンタクトホールを開口する。また、Al等を厚さ300nm程度成膜してパターニングし、配線30を形成する。これにより、低電圧用n型TFT、低電圧用p型TFT、高電圧用n型TFT及び高電圧用p型TFTが完成する。なお、図示していないが、さらに保護膜及び画素電極などを形成してTFT基板が完成する。

【0059】

本実施例によるTFT基板の低電圧用p型TFTは、透明絶縁性基板21上にこの順番に形成されたバッファ層22と、p型のソース及びドレイン領域234とチャネル領域235とを含む半導体層23と、第1のゲート絶縁膜24と、チャネル領域235上に形成されたゲート電極25aと、第2のゲート絶縁膜26と、層間絶縁膜29と、層間絶縁膜29及び第1及び第2のゲート絶縁膜24及び26に設けられ且つソース及びドレイン領域234と接触させるためのコンタクトホールに接続された配線30とから構成される。また低電圧用n型TFTは、透明絶縁性基板21上にこの順番に形成されたバッファ層22と、n型のソース及びドレイン領域240及びチャネル領域232を含む半導体層23と、第1のゲート絶縁膜24と、チャネル領域232上に形成されたゲート電極25bと、第2のゲート絶縁膜26と、層間絶縁膜29と、層間絶縁膜29及び第1及び第2のゲート絶縁膜24及び26に設けられ且つソース及びドレイン領域240と接続するためのコンタクトホールに接続された配線30とから構成される。

【0060】

高電圧用 p 型 TFT は、透明性絶縁性基板 21 上にこの順番に形成されたバッファ層 22 と、 p 型のソース及びドレイン領域 236 とチャネル領域 237 とを含む半導体層 23 と、第1のゲート絶縁膜 24 と、第2のゲート絶縁膜 26 と、チャネル領域 237 上に形成されたゲート電極 271 と、層間絶縁膜 29 と、層間絶縁膜 29 及び第1及び第2のゲート絶縁膜 24 及び 26 に設けられ且つソース及びドレイン領域 236 と接続するためのコンタクトホールに接続された配線 30 とから構成される。また、高電圧用 n 型 TFT は、透明性絶縁性基板 21 上にこの順番に形成されたバッファ層 22 と、 n 型のソース及びドレイン領域 231 と LDD 領域 238 とチャネル領域 239 とを含む半導体層 23 と、第1のゲート絶縁膜 24 と、第2のゲート絶縁膜 26 と、チャネル領域 239 上に形成されたゲート電極 272 と、層間絶縁膜 29 と、層間絶縁膜 29 及び第1及び第2のゲート絶縁膜 24 及び 26 に設けられ且つソース及びドレイン領域 231 と接続するためのコンタクトホールに接続された配線 30 とから構成される。

【0061】

なお、図4 (c) で示した LDD 領域形成のための n 型不純物の注入は、図5 (a) に示すレジストマスク 28a 及び 28b を剥離した後であって、図5 (b) に示すレーザ光を照射する工程の前に行うようにしてもよい。また、一部の高電圧用 n 型 TFT において、図4 (b) に示す金属薄膜の部分 27c を予めゲート電極に成形して1回目の n 型不純物の注入を行い、図4 (c) に示すゲート電極 271 及び 272 の形成工程において、当該一部の高電圧用 n 型 TFT のゲート電極 272 を覆うレジストマスクを形成しておいてもよい。そうすればエッチングがなされないので、レジストマスク剥離後2回目の n 型不純物の注入が行われても LDD 領域が設けられない高電圧用 n 型 TFT を形成することができるようになる。

【0062】

本実施例では、2層のゲート絶縁膜が形成されている。低電圧用 TFT のゲート絶縁膜はゲート絶縁膜 24 の1層で構成され、高電圧用 TFT のゲート絶縁膜はゲート絶縁膜 24 及び 26 の2層で構成される。また、ゲート絶縁膜をドライ

エッティング・加工せずに高電圧用TFT及び低電圧用TFTを製造しているため、ゲート絶縁膜のドライエッティングにより生ずる半導体層へのプラズマダメージを回避できる。また、低電圧用TFTのゲート絶縁膜24は基板全面に形成されているため、ゲート電極25a及び25bと半導体層との間のリーク電流は防止できる。また、高電圧用n型TFTの金属薄膜27cは、1回目のn型不純物注入時にはLDD領域238の幅だけゲート電極272より広く形成されており、2回目のn型不純物注入時には本来のゲート幅のゲート電極272に成形されるようになっている。したがって、半導体層及びゲート絶縁膜による階段状の構造を用いずにLDD領域を形成することができるため、従来例における問題点は解決できる。本実施例では、高電圧用TFTは厚いゲート絶縁膜でLDD構造があり、低電圧用TFTには薄いゲート絶縁膜でLDD構造がないため、高耐圧なTFTと高速なTFTを両立することができる。

【0063】

また、本実施例ではp型TFTにはLDDが形成されない。p型TFTではホットキャリア劣化があまり問題とならないため特にLDDを形成する必要はなく、むしろ駆動能力を上げるためにLDDが形成されていない方がよい。

【0064】

【実施例3】

次に、実施例2の変形例として、本実施の形態の実施例3によるTFT基板の製造方法について図6及び図7を用いて説明する。図6及び図7は、TFT基板構成及び製造方法を示す工程断面図である。図6及び図7においては、低電圧用p型TFT、低電圧用n型TFT、高電圧用p型TFT及び高電圧用n型TFTを図の左側から順に示している。

【0065】

まず、図6(a)に示すように、ガラス等の透明絶縁性基板31上にSiO₂等を厚さ80nm程度成膜し、バッファ層32を形成する。次に、プラズマCVD等によりアモルファスシリコンを成膜した後、エキシマレーザ等でアニールしてアモルファスシリコンを結晶化させ、厚さ50nm程度のポリシリコンの半導体層33を形成する。次に、レジストを塗布してパターニングし、レジストマス

クを形成する。このレジストマスクをエッチングマスクとして用いてドライエッチングを行い、島状の半導体層33a、33b、33c及び33dを形成する。半導体層33a、33b、33c及び33d上にSiO₂等を厚さ30nm程度成膜し、第1のゲート絶縁膜34を形成する。第1のゲート絶縁膜34は、低電圧用TFTのためのゲート絶縁膜となる。

【0066】

次に、Mo等を厚さ300nm程度成膜して金属薄膜を形成する。次に、レジストを塗布してパターニングし、レジストマスクを形成する。このレジストマスクをエッチングマスクとして用いてエッチングを行い、金属薄膜のうち低電圧用p型TFT及び低電圧用n型TFTのソース及びドレイン領域に対応する部分と、高電圧用p型TFT及び高電圧用n型TFTの部分とを除去する。すなわち金属薄膜は、低電圧用p型TFTのゲート電極35aと低電圧用n型TFTのゲート電極35bとが残るようにパターニングされる。次いで、ゲート電極35a及び35b上にSiO₂等を厚さ70nm程度成膜し、第2のゲート絶縁膜36を形成する。第1のゲート絶縁膜34は低電圧用TFTのためのゲート絶縁膜であるので低電圧用TFTに合わせて膜厚を決定できる。また、第1のゲート絶縁膜34及び第2のゲート絶縁膜36の2層のゲート絶縁膜により高電圧用TFTのゲート絶縁膜が構成されるので、第2のゲート絶縁膜36の膜厚を調整することにより高電圧用TFTに合わせてゲート絶縁膜の膜厚を決定できる。

【0067】

次に、図6(b)に示すように、高電圧用TFTのゲート電極となるA1等を厚さ300nm程度成膜して金属薄膜を形成する。次に、レジストを塗布してパターニングし、レジストマスク38a、38b及び38cを形成する。レジストマスク38a、38b及び38cをエッチングマスクとしてドライエッチングを行い、金属薄膜のうち低電圧用n型TFTの部分と、高電圧用n型TFTのソース及びドレイン領域333に対応する部分とを除去する。すなわち金属薄膜は、低電圧用p型TFT全体の幅以上の幅を有する金属薄膜の部分、高電圧用p型TFT全体の幅以上の幅を有する金属薄膜の部分、及び高電圧用n型TFTの場合にはLDD領域及びチャネル領域に対応する部分が残るようにパターニングされ

る。

【0068】

その後ウエットエッティングによるサイドエッティングを行う。ドライエッティングにより残ったA1等の金属薄膜の幅を狭くするように、金属薄膜の側面をエッティングするためである。すなわち、低電圧用p型TFT全体の幅を有する金属薄膜の部分37a、高電圧用p型TFT全体の幅を有する金属薄膜の部分37b、及び高電圧用n型TFTの場合にはチャネル領域に対応する金属薄膜の部分37c（高電圧用n型TFTのゲート電極）が残るようにエッティングする。高電圧用n型TFTの場合にはLDD領域が設けられるため、レジストマスク38cはLDD領域の分だけゲート電極37cより幅が広くなっている。

【0069】

続いて、レジストマスク38a、38b及び38cを残したまま、レジストマスク38a、38b及び38cと低電圧用n型TFTのゲート電極35bとをマスクとして、リン等のn型の不純物を高加速・高ドーズ量（例えば90keV、 $1 \times 10^{15} \text{ cm}^{-2}$ ）の条件の下でゲート絶縁膜34及び36を通して注入する1回目の注入を行う。これにより、低電圧用n型TFTのソース及びドレイン領域331と、高電圧用n型TFTのソース及びドレイン領域333とを形成する。金属薄膜37a、37b及び37cより幅の広いレジストマスク38a、38b及び38cがマスクとなっているため、低電圧用p型TFTの半導体層33a、高電圧用p型TFTの半導体層33c、高電圧用n型TFTのLDD領域及びチャネル領域となるべき部分334には不純物は注入されない。また、低電圧用n型TFTのゲート電極もマスクとなるため、チャネル領域332には不純物が注入されない。

【0070】

次に、レジストマスク38a、38b及び38cを除去する。次に、図6(c)に示すように、低電圧用p型TFTのための金属薄膜の部分37a、低電圧用n型TFTのゲート電極35b、高電圧用p型TFTのための金属薄膜の部分37b及び高電圧用n型TFTのゲート電極37cをマスクとし、リン等のn型の不純物を高加速・低ドーズ量（例えば90keV、 $5 \times 10^{13} \text{ cm}^{-2}$ ）の条件の

下でゲート絶縁膜34及び36を通して注入する2回目の注入を行う。これにより、高電圧用n型TFTのソース又はドレイン領域333とチャネル領域336との間の半導体層にLDD領域335を形成する。低電圧用n型TFTのゲート電極もマスクとなるため、チャネル領域332には不純物は注入されない。

【0071】

次に、図6(d)に示すように、レジストを塗布してパターニングし、低電圧用n型TFT全体を覆うようなレジストマスク39a、高電圧用n型TFT全体を覆うようなレジストマスク39c、高電圧用p型TFTのゲート電極371を形成するためのレジストマスク39bを形成する。これにより、低電圧用n型TFT及び高電圧用n型TFTにp型の不純物が導入されないようになるとともに、高電圧用p型TFTのゲート電極371を形成できるようになる。レジストマスク39a、39b及び39cを用いてエッティングを行うことにより、低電圧用p型TFTの金属薄膜の部分37aと、高電圧用p型TFTのソース及びドレイン領域に対応する金属薄膜の部分とを除去する。

【0072】

なお、エッティング方法がドライエッティングであってもA1をエッティングすると一般的に側面が削れしまうため、レジストマスク39bの幅よりも金属薄膜の部分371の幅は狭くなることがある。このままボロン等のp型の不純物を注入すると、高電圧用p型TFTのソース及びドレイン領域とチャネル領域の間に不純物が注入されない領域が生じて、いわゆるオフセット構造になってしまう。

【0073】

そこで、図7(a)に示すように、酸素プラズマ中でレジストマスク39bの表面をアッシング(灰化)し、金属薄膜の部分371の幅と同等か又はやや狭くなるように加工して、レジストマスク39dを形成する。その後、レジストマスク39a及び39c並びに金属薄膜の部分371(高電圧用p型TFTのゲート電極)をマスクとして、高電圧用p型TFT及び低電圧用p型TFTにのみ選択的にボロン等のp型の不純物を高加速・高ドーズ量の条件(例えば70keV、 $1 \times 10^{15} \text{ cm}^{-2}$)の条件の下でゲート絶縁膜34及び36を通して注入する。これにより、低電圧用p型TFTの半導体層のソース及びドレイン領域337と

、高電圧用 p 型 TFT の半導体層のソース及びドレイン領域 339 とを形成する。p 型 TFT には LDD 領域を形成しないので、不純物の注入は 1 回でよい。低電圧用 p 型 TFT についてはゲート電極 35a、高電圧用 p 型 TFT についてはゲート電極 371 によりマスクされるチャネル領域 338 及び 340 にはボロン等の p 型の不純物は注入されない。

【0074】

その後レジストマスク 39a、39d 及び 39c を剥離する。次に、図 7 (b) に示すように、500°C 前後の熱処理あるいはエキシマレーザ等によるアニールを行い、n 型及び p 型の不純物を活性化する。

【0075】

次に、図 7 (c) に示すように、SiN 等を厚さ 300 nm 程度成膜して層間絶縁膜 40 を形成し、当該層間絶縁膜 40 及びゲート絶縁膜 34 及び 36 にコンタクトホールを開口する。また、Al 等を厚さ 300 nm 程度成膜してパテーニングし、配線 401 を形成する。これにより、低電圧用 n 型 TFT、低電圧用 p 型 TFT、高電圧用 n 型 TFT 及び高電圧用 p 型 TFT が完成する。なお、図示していないが、さらに保護膜及び画素電極などを形成して TFT 基板が完成する。

【0076】

図 6 (c) に示した LDD 領域 335 形成のための不純物注入は、図 7 (b) で示したレーザ光照射の前に行うようにしてもよい。すなわち図 7 (a) に示すレジストマスク 39a、39d 及び 39c の剥離後である。また、図 6 (b) において、ドライエッティングに続いてサイドエッティングを行ってレジストマスク 38c より金属薄膜の幅を狭くしているが、ドライエッティングは用いず、ウエットエッティングにより金属薄膜をエッティングしながら同時にサイドエッティングを行うようにしてもよいし、また、1 回目の n 型不純物の注入後（ただし、レジストマスク 38c 剥離前）、サイドエッティングを行ってもよい。

【0077】

本実施例では、LDD 領域 335 の形成のためゲート電極 37c のサイドエッティングを行い、金属薄膜のエッティングに利用したレジストマスク 38c をマスク

として高電圧用 n 型 TFT のソース及びドレイン領域 333 を形成している。このため、実施例 2 に比べてフォトリソグラフィ工程が 1 工程少なくできる。なお、低電圧用 TFT では高速動作のためチャネル長（=ゲート電極 35a 及び 35b の幅）はできるだけ短くする必要があり、制御の難しいゲート電極のサイドエッティングを積極的に利用することは現実的ではない。しかし、本実施例では低電圧用 TFT と高電圧用 TFT のゲート電極はそれぞれ別工程で形成されている。すなわち本実施例では、あまりチャネル長を短くする必要のない高電圧用 TFT のゲート電極のみにサイドエッティングを行って LDD を形成しているため、特に問題はない。また、サイドエッティングを利用して LDD 領域 335 を形成すると、ゲート電極 37c 形成時における 1 乃至 3 μ m 前後の高精度なマスク合わせが不要になるという利点もある。

【0078】

[実施例 4]

次に、本実施の形態の実施例 4 による TFT 基板の製造方法について図 8 及び図 9 を用いて説明する。図 8 及び図 9 は、TFT 基板の構成及び製造方法を示す工程断面図である。図 8 及び図 9 においては、低電圧用 p 型 TFT、低電圧用 n 型 TFT、高電圧用 p 型 TFT 及び高電圧用 n 型 TFT を図の左側から順に示している。

【0079】

まず、図 8 (a) に示すように、ガラス等の透明絶縁性基板 41 上に SiO_2 等を厚さ 80 nm 程度成膜し、バッファ層 42 を形成する。次に、プラズマ CVD 等によりアモルファスシリコンを成膜した後、エキシマレーザ等でアニールしてアモルファスシリコンを結晶化させ、厚さ 50 nm 程度のポリシリコンの半導体層 43 を形成する。次に、レジストを塗布してパターニングし、レジストマスクを形成する。このレジストマスクをエッティングマスクとして用いてドライエッティングを行い、島状の半導体層 43a、43b、43c 及び 43d を形成する。半導体層 43a、43b、43c 及び 43d 上に SiO_2 等を厚さ 30 nm 程度成膜し、第 1 のゲート絶縁膜 44 を形成する。第 1 のゲート絶縁膜 44 は、低電圧用 TFT のためのゲート絶縁膜となる。

【0080】

次に、Mo等を厚さ300nm程度成膜して金属薄膜を形成する。次に、レジストを塗布してパターニングし、レジストマスクを形成する。このレジストマスクをエッチングマスクとして用いてエッチングを行い、金属薄膜のうち低電圧用p型TFT及び低電圧用n型TFTのソース及びドレイン領域に対応する部分と、高電圧用p型TFT及び高電圧用n型TFTの部分とを除去する。すなわち金属薄膜は、低電圧用p型TFTのゲート電極45aと低電圧用n型TFTのゲート電極45bとが残るようにパターニングされる。次いで、ゲート電極45a及び45b上にSiO₂等を厚さ70nm程度成膜し、第2のゲート絶縁膜46を形成する。第1のゲート絶縁膜44は低電圧用TFTのためのゲート絶縁膜であるため、低電圧用TFTに合わせて膜厚を決定できる。また、第1のゲート絶縁膜44及び第2のゲート絶縁膜46の2層のゲート絶縁膜により高電圧用TFTのゲート絶縁膜が構成されるので、第2のゲート絶縁膜46の膜厚を調整することにより、高電圧用TFTに合わせてゲート絶縁膜の膜厚を決定できる。

【0081】

次に、図8(b)に示すように、高電圧用TFTのゲート電極となるA1等を厚さ300nm程度成膜して金属薄膜を形成する。次に、レジストを塗布してパターニングし、レジストマスクを形成する。このレジストマスクをエッチングマスクとしてエッチングを行い、金属薄膜のうち低電圧用p型TFTの部分と、高電圧用p型TFTのソース及びドレイン領域433に対応する部分とを除去する。すなわち金属薄膜は、低電圧用n型TFT全体の幅以上の幅を有する金属薄膜の部分47aと、高電圧用n型TFT全体の幅以上の幅を有する金属薄膜の部分47cと、高電圧用p型TFTのゲート電極47bが残るようにパターニングされる。その後、レジストマスクを除去する。

【0082】

次に、図8(b)に示すように、低電圧用n型TFT全体の幅以上の幅を有する金属薄膜の部分47aと、低電圧用p型TFTのゲート電極45aと、高電圧用p型TFTのゲート電極47bと、高電圧用n型TFT全体の幅以上の幅を有する金属薄膜の部分47cとをマスクとして、ボロン等のp型の不純物を高加速

・高ドーズ量の条件（例えば70 keV、 $1 \times 10^{15} \text{ cm}^{-2}$ ）の条件の下で注入する。これにより、低電圧用p型TFTの半導体層のソース及びドレイン領域431と、高電圧用p型TFTの半導体層のソース及びドレイン領域433とを形成する。p型TFTにはLDD領域を形成しないので、不純物の注入は1回でよい。この注入においても、低電圧用p型TFTのチャネル領域432と高電圧用p型TFTのチャネル領域434とには、ボロン等のp型不純物は注入されない。

【0083】

次に、図8(c)に示すように、レジストを塗布してパターニングし、低電圧用p型TFT全体を覆うようなレジストマスク48a、高電圧用p型TFT全体を覆うようなレジストマスク48b、高電圧用n型TFTのチャネル領域及びLDD領域となる部分に対応する金属薄膜を覆うようなレジストマスク48cを形成する。レジストマスク48a、48b、48cをエッチングマスクとして用いてドライエッチングを行い、A1等の金属薄膜のうち低電圧用n型TFTの部分と、高電圧用n型TFTのソース及びドレイン領域437に対応する部分とを除去する。すなわち金属薄膜は、高電圧用p型TFTのゲート電極47bと、高電圧用n型TFTのLDD領域及びチャネル領域438になるべき領域に対応する部分が残るようにパターニングされる。

【0084】

その後、ウエットエッチングによるサイドエッチングを行う。ドライエッチングにより残ったA1等の金属薄膜の幅を狭くするように、金属薄膜の側面をエッチングするためである。すなわち、高電圧用n型TFTのチャネル領域に対応する金属薄膜の部分471（高電圧用n型TFTのゲート電極）が残るようにエッチングする。高電圧用n型TFTの場合にはLDD領域が設けられるため、レジストマスク48cはLDD領域の分だけゲート電極471より幅が広くなっている。

【0085】

続いて、レジストマスク48a、48b及び48cを残したまま、レジストマスク48a、48b及び48cと低電圧用n型TFTのゲート電極45bとをマ

スクとして、リン等のn型の不純物を高加速・高ドーザ量（例えば90keV、 $1 \times 10^{15} \text{ cm}^{-2}$ ）の条件の下でゲート絶縁膜44及び46を通して注入する1回目の注入を行う。これにより、低電圧用n型TFTのソース及びドレイン領域435と、高電圧用n型TFTのソース及びドレイン領域437とを形成する。金属薄膜の部分471より幅の広いレジストマスク48cがマスクとなっているため、高電圧用n型TFTのLDD領域及びチャネル領域となるべき部分438には不純物は注入されない。レジストマスク48a及び48bのため、低電圧用p型TFT及び高電圧用p型TFTにはn型の不純物は注入されない。また、低電圧用n型TFTのゲート電極45bがマスクとなるため、チャネル領域436にもn型の不純物は注入されない。

【0086】

次に、レジストマスク48a、48b及び48cを除去する。次に、図9(a)に示すように、A1等の金属薄膜の残された部分47b及び471と、低電圧用p型TFTのゲート電極45aと、低電圧用n型TFTのゲート電極45bとをマスクとして、リン等のn型の不純物を高加速・低ドーザ量（例えば90keV、 $5 \times 10^{13} \text{ cm}^{-2}$ ）の条件の下でゲート絶縁膜44及び46を通して注入する2回目の注入を行う。これにより、高電圧用n型TFTのソース又はドレイン領域437とチャネル領域450との間の半導体層にLDD領域439を形成する。一方、低電圧用p型TFTのソース及びドレイン領域431と、高電圧用p型TFTのソース及びドレイン領域433とにも、高加速・低ドーザ量の条件下でn型不純物が注入される。高電圧用p型TFTのチャネル領域434及び高電圧用n型TFTのチャネル領域450には、ゲート電極47b及び471がマスクとなるため、n型不純物が注入されない。また、低電圧用p型TFTのゲート電極45a及び低電圧用n型TFTのゲート電極45bもマスクとなるため、チャネル領域432及び436にはn型不純物が注入されないようになっている。

【0087】

次に、図9(b)に示すように、500°C前後の熱処理あるいはエキシマレーザ等によるアニールを行い、n型及びp型の不純物を活性化する。

【0088】

次に、図9 (c) に示すように、SiN等を厚さ300nm程度成膜して層間絶縁膜49を形成し、当該層間絶縁膜49及びゲート絶縁膜44及び46にコンタクトホールを開口する。また、Al等を厚さ300nm程度成膜してパターニングし、配線50を形成する。これにより、低電圧用n型TFT、低電圧用p型TFT、高電圧用n型TFT及び高電圧用p型TFTが完成する。なお、図示していないが、さらに保護膜及び画素電極などを形成してTFT基板が完成する。

【0089】

本実施例では、レジストマスクを利用した不純物注入（又はイオンドープ、イオンシャワー）の工程は、図8 (c) に示す1工程だけである。それに対し実施例3では、レジストマスクを利用した不純物注入工程が2工程必要になる。不純物注入後のレジストを剥離するには、酸素プラズマによる長時間のアッシングが必要である。このため、本実施例では実施例3よりも短時間でTFT基板を製造できるようになる。なお、図8 (c) において、金属薄膜のサイドエッチングを行ってレジストマスク48cより金属薄膜の幅を狭くしているが、1回目のn型不純物の注入後であってレジストマスク48c剥離前にサイドエッチングを行うようにしてもよい。

【0090】

なお、本実施例では、図9 (a) に示すLDD領域439へのn型不純物の注入時に、p型TFTのソース及びドレイン領域431及び433にもn型不純物が注入されてしまうが、図8 (b) に示す工程でp型TFTのソース及びドレン領域431及び433に注入されるp型不純物の10分の1以下の量であるから、その影響についてはほとんど無視することができる。

【0091】

また、本実施例ではp型TFTにはLDDが形成されない。p型TFTではホットキャリア劣化があまり問題とならないため特にLDDを形成する必要はなく、むしろ駆動能力を上げるためにLDDが形成されていない方がよい。

【0092】

〔実施例5〕

次に、実施例2の変形例として、本実施の形態の実施例5によるTFT基板の製造方法について図10及び図11を用いて説明する。図10及び図11は、TFT基板の構成及び製造方法を示す工程断面図である。図10及び図11においては、低電圧用p型TFT、低電圧用n型TFT、高電圧用p型TFT及び高電圧用n型TFTを図の左側から順に示している。

【0093】

まず、図10(a)に示すように、ガラス等の透明絶縁性基板61上にSiO₂等を厚さ80nm程度成膜し、バッファ層62を形成する。次に、プラズマCVD等によりアモルファスシリコンを成膜した後、エキシマレーザ等でアニールしてアモルファスシリコンを結晶化させ、厚さ50nm程度のポリシリコンの半導体層63を形成する。次に、レジストを塗布してパターニングし、レジストマスクを形成する。このレジストマスクをエッチングマスクとして用いてエッチングを行い、島状の半導体層63a、63b、63c及び63dを形成する。半導体層63a、63b、63c及び63d上にSiO₂等を厚さ30nm程度成膜し、第1のゲート絶縁膜64を形成する。第1のゲート絶縁膜64は、低電圧用TFTのためのゲート絶縁膜となる。

【0094】

次に、Mo等を厚さ300nm程度成膜して金属薄膜を形成する。次に、レジストを塗布してパターニングし、レジストマスクを形成する。このレジストマスクをエッチングマスクとして用いてエッチングを行い、金属薄膜のうち低電圧用p型TFT及び低電圧用n型TFTのソース及びドレイン領域に対応する部分と、高電圧用p型TFT及び高電圧用n型TFTの部分とを除去する。すなわち金属薄膜は、低電圧用p型TFTのゲート電極65aと低電圧用n型TFTのゲート電極65bとが残るようにパターニングされる。次いで、ゲート電極65a及び65b上にSiO₂等を厚さ70nm程度成膜し、第2のゲート絶縁膜66を形成する。第1のゲート絶縁膜64は低電圧用TFTのためのゲート絶縁膜であるため、低電圧用TFTに合わせて膜厚を決定できる。また、第1のゲート絶縁膜64及び第2のゲート絶縁膜66の2層のゲート絶縁膜により高電圧用TFTのゲート絶縁膜が構成されるので、第2のゲート絶縁膜66の膜厚を調整するこ

とにより、高電圧用 TFT に合わせてゲート絶縁膜の膜厚を決定できる。

【0095】

次に、図10 (b) に示すように、高電圧用 TFT のゲート電極となる A1 等を厚さ 300 nm 程度成膜して金属薄膜を形成する。次に、レジストを塗布してパターニングし、レジストマスク 68a 及び 68b を形成する。レジストマスク 68a 及び 68b をエッチングマスクとして用いてドライエッチングを行い、A1 等の金属薄膜のうち、低電圧用 n 型 TFT 及び低電圧用 p 型 TFT の部分と、高電圧用 p 型 TFT のソース及びドレイン領域より幅の狭い部分 635 と、高電圧用 n 型 TFT のソース及びドレイン領域 637 に対応する部分とを除去する。すなわちこのドライエッチングでは、高電圧用 p 型 TFT のゲート電極より幅の広い金属薄膜の部分、及び高電圧用 n 型 TFT の LDD 領域及びチャネル領域に対応する金属薄膜の部分が残る。

【0096】

続いて、ウエットエッチングによるサイドエッチングを行う。ドライエッチングにより残った金属薄膜の幅を狭くするように、金属薄膜の側面をエッチングするためである。これにより、高電圧用 p 型 TFT のゲート電極 67a と、高電圧用 n 型 TFT のゲート電極 67b とが形成される。高電圧用 n 型 TFT に LDD 領域を設けるために、レジストマスク 68b は LDD 領域の分だけゲート電極 67b の幅より広くなっている。なお、高電圧用 p 型 TFT には LDD 領域を形成しないが、レジストマスク 68a はゲート電極 67a の幅より広くなっている。

【0097】

次に、レジストマスク 68a 及び 68b を残したまま、レジストマスク 68a 及び 68b、低電圧用 p 型 TFT のゲート電極 65a 及び低電圧用 n 型 TFT のゲート電極 65b をマスクとして、リン等の n 型の不純物を高加速・高ドーズ量 (例えば 90 keV, $1 \times 10^{15} \text{ cm}^{-2}$) の条件の下でゲート絶縁膜 64 及び 66 を通して注入する 1 回目の注入を行う。これにより、低電圧用 n 型 TFT のソース及びドレイン領域 633 と、高電圧用 n 型 TFT のソース及びドレイン領域 637 とを形成する。金属薄膜 67b より幅の広いレジストマスク 68b がマスクとなっているため、高電圧用 n 型 TFT の LDD 領域及びチャネル領域となる

べき部分 638 には不純物は注入されない。また、低電圧用 n 型 TFT のゲート電極 65b もマスクとなるため、チャネル領域 634 には n 型不純物が注入されない。ただし、低電圧用 p 型 TFT のソース及びドレイン領域となるべき部分 631 や高電圧用 p 型 TFT のソース及びドレイン領域となるべき部分の一部 635 には、n 型の不純物が注入されてしまう。

【0098】

次に、レジストマスク 68a 及び 68b を除去する。次に、図 10 (c) に示すように、低電圧用 p 型 TFT のゲート電極 65a、低電圧用 n 型 TFT のゲート電極 65b、高電圧用 p 型 TFT のゲート電極 67a、及び高電圧用 n 型 TFT のゲート電極 67b をマスクとし、リン等の n 型の不純物を高加速・低ドーズ量 (例えば 90 keV、 $5 \times 10^{13} \text{ cm}^{-2}$) の条件の下でゲート絶縁膜 64 及び 66 を通して注入する 2 回目の注入を行う。これにより、高電圧用 n 型 TFT のソース又はドレイン領域 637 とチャネル領域 642 との間の半導体層に LDD 領域 641 を形成する。本工程までは、高電圧用 p 型 TFT と LDD 領域を有する高電圧用 n 型 TFT とは、ほぼ同構成に形成される。同様に、本工程までは、低電圧用 p 型 TFT と低電圧用 n 型 TFT とは、ほぼ同構成に形成される。すなわち本工程までは、全ての TFT が n 型 TFT として形成される。

【0099】

次に、図 11 (a) に示すように、レジストを塗布してパターニングし、低電圧用 n 型 TFT 全体を覆うようなレジストマスク 69a と、高電圧用 n 型 TFT 全体を覆うようなレジストマスク 69b とを形成する。これにより、低電圧用 n 型 TFT 及び高電圧用 n 型 TFT に p 型不純物が導入されないようになる。

【0100】

次に、図 11 (a) に示すように、レジストマスク 69a 及び 69b と高電圧用 p 型 TFT のゲート電極 67a と低電圧用 p 型 TFT のゲート電極 65a とをマスクとして、高電圧用 p 型 TFT 及び低電圧用 p 型 TFT にのみ選択的にボロン等の p 型の不純物を高加速・高ドーズ量の条件 (例えば 70 keV、 $2 \times 10^{15} \text{ cm}^{-2}$) の条件の下でゲート絶縁膜 64 及び 66 を通して注入する。これにより、低電圧用 p 型 TFT のソース及びドレイン領域 644 と、高電圧用 p 型 TFT

Tのソース及びドレイン領域643とを形成する。ソース及びドレイン領域644及び643には、前工程でn型不純物が注入されている。このため、ここではn型不純物の2倍程度の量のp型不純物をソース及びドレイン領域644及び643に注入し、ソース及びドレイン領域644及び643をp型に反転させる。p型TFTにはLDD領域を形成しないので、不純物の注入は1回でよい。低電圧用p型TFTではゲート電極65aがマスクとなり、高電圧用p型TFTではゲート電極67aがマスクとなるため、チャネル領域632及び640にはp型不純物は注入されない。

【0101】

次に、図11(b)に示すように、レジストマスク69a及び69bを剥離する。次に、500°C前後の熱処理あるいはエキシマレーザ等によるアニールを行い、n型及びp型の不純物を活性化する。

【0102】

次に、図11(c)に示すように、SiN等を厚さ300nm程度成膜して層間絶縁膜70を形成し、当該層間絶縁膜70及びゲート絶縁膜64及び66にコントакトホールを開口する。また、Al等を厚さ300nm程度成膜してパテニングし、配線71を形成する。これにより、低電圧用n型TFT、低電圧用p型TFT、高電圧用n型TFT及び高電圧用p型TFTが完成する。なお、図示していないが、さらに保護膜及び画素電極などを形成してTFT基板が完成する。

【0103】

本実施例では実施例2乃至4とは異なり、高電圧用n型TFTのゲート電極67b及び高電圧用p型TFTのゲート電極67aを同時に加工しているため、ゲート電極のエッティングは1工程でよい。ただし、p型TFTにも高ドーズ量のn型不純物が注入されるので、p型TFTのソース及びドレイン領域643及び644の形成には反転ドーピングが必要になる。なお、本実施例においてもレジストマスクを利用したイオン注入は2工程必要になる。また、図10(c)に示すLDD形成のためのn型不純物の注入は、図11(b)に示すレーザ光照射の前であれば、p型不純物をp型TFTのソース及びドレイン領域へ注入してレジス

トマスク69a及び69bを剥離した後であってもよい。さらに、本実施例では金属薄膜のドライエッティングに続いてサイドエッティングを行い、図10(b)に示すようにゲート電極67a及び67bの幅をレジストマスク68a及び68bの幅より狭くしているが、サイドエッティングは1回目のn型不純物の注入後（ただしレジストマスク68a及び68bの剥離前）に行うようにしてもよい。

【0104】

以上本実施の形態の5つの実施例について説明したが、本発明はこれに限定されるものではない。特に実施例2乃至5については、上述のような製造方法ではなく、他の製造方法により同様の構造を実現するようにしてもよい。すなわち、第1及び第2のゲート絶縁膜を分けて形成するとともに、ゲート絶縁膜をエッティングしないで、LDDを伴う高電圧用n型TFT、高電圧用p型TFT、低電圧用n型TFT及び低電圧用p型TFTを共通の製造プロセスで同時に製造することができれば、どのような製造方法であってもよい。

【0105】

また、本実施の形態では液晶表示装置を例に挙げたが、本発明はこれに限らず、有機EL表示装置や無機EL表示装置等の他の表示装置にも適用できる。

【0106】

以上説明した本実施の形態による薄膜トランジスタ装置及びその製造方法、並びにそれを備えた薄膜トランジスタ基板及び表示装置は、以下のようにまとめられる。

（付記1）

基板上に所定形状の半導体層を形成し、
前記半導体層上にゲート絶縁膜を形成し、
前記ゲート絶縁膜上に金属薄膜を形成し、
第1導電型の薄膜トランジスタのソース及びドレイン領域となる前記半導体層上の前記金属薄膜を除去するようにパターニングし、
パターニングされた前記金属薄膜をマスクとして第1導電型の不純物を前記半導体層に注入して、前記第1導電型の薄膜トランジスタのソース及びドレイン領域を形成し、

パターニングされた前記金属薄膜をさらにパターニングして前記第1導電型の薄膜トランジスタのゲート電極を形成し、

前記第1導電型の薄膜トランジスタのゲート電極をマスクとして第1導電型の不純物を前記半導体層に注入して、前記第1導電型の薄膜トランジスタのソース及びドレイン領域とチャネル領域との間に低濃度不純物領域を形成することを特徴とする薄膜トランジスタ装置の製造方法。

【0107】

(付記2)

付記1記載の薄膜トランジスタ装置の製造方法において、

前記第1導電型の薄膜トランジスタのゲート電極の形成と同時に第2導電型の薄膜トランジスタのゲート電極を形成し、

前記第1導電型の薄膜トランジスタを覆うようにレジストマスクを形成した後に、第2導電型の不純物を前記半導体層に注入して前記第2導電型の薄膜トランジスタのソース及びドレイン領域を形成し、

前記レジストマスクを除去した後に前記第1及び第2導電型の不純物を活性化すること

を特徴とする薄膜トランジスタ装置の製造方法。

【0108】

(付記3)

付記2記載の薄膜トランジスタ装置の製造方法において、

前記レジストマスクを除去した後に、前記第1導電型の不純物を注入して前記低濃度不純物領域を形成すること

を特徴とする薄膜トランジスタ装置の製造方法。

【0109】

(付記4)

付記1乃至3のいずれか1項に記載の薄膜トランジスタ装置の製造方法において、

前記第1導電型及び／又は前記第2導電型の薄膜トランジスタのゲート電極を形成する工程は、前記低濃度不純物領域を形成しない前記第1導電型の薄膜トラ

ンジスタのゲート電極がエッチングされないようにレジストマスクで覆うこと
を特徴とする薄膜トランジスタ装置の製造方法。

【0110】

(付記5)

基板上に形成された半導体層と、前記半導体層上に形成された第1のゲート絶縁膜と、前記第1のゲート絶縁膜上に形成された第2のゲート絶縁膜と、前記第2のゲート絶縁膜上に形成された第1のゲート電極とを備え、前記半導体層のソース及びドレイン領域とチャネル領域との間に低濃度不純物領域が形成された第1導電型の第1の薄膜トランジスタと、

前記半導体層と、前記第1のゲート絶縁膜と、前記第1のゲート絶縁膜上に形成された第2のゲート電極と、前記第2のゲート電極上に形成され、前記第2のゲート絶縁膜と同一の形成材料で形成された絶縁膜とを備えた第2の薄膜トランジスタと

を有することを特徴とする薄膜トランジスタ装置。

【0111】

(付記6)

付記5記載の薄膜トランジスタ装置において、

前記半導体層と、前記第1のゲート絶縁膜と、前記第2のゲート絶縁膜と、前記第1のゲート電極とを備えた第2導電型の第3の薄膜トランジスタをさらに有していること

を特徴とする薄膜トランジスタ装置。

【0112】

(付記7)

基板上に互いに絶縁膜を介して交差して形成された複数のバスラインと、前記基板上の表示領域にマトリクス状に配置された画素領域と前記表示領域の周囲に配置された周辺回路とに形成された薄膜トランジスタ装置とを有する薄膜トランジスタ基板において、

前記薄膜トランジスタ装置は、付記5又は6に記載の薄膜トランジスタ装置であること

を特徴とする薄膜トランジスタ基板。

【0113】

(付記8)

スイッチング素子として薄膜トランジスタを有する基板を備えた表示装置において、

前記基板に、付記7記載の薄膜トランジスタ基板が用いられていることを特徴とする表示装置。

【0114】

(付記9)

基板上に所定形状の半導体層を形成し、

前記半導体層上に第1及び第2の薄膜トランジスタの第1のゲート絶縁膜を形成し、

前記第1のゲート絶縁膜上に第1の金属薄膜を形成し、

前記第1の金属薄膜をパターニングして前記第1の薄膜トランジスタのゲート電極を形成し、

前記第1の薄膜トランジスタのゲート電極上に前記第2の薄膜トランジスタの第2のゲート絶縁膜を形成し、

前記第2のゲート絶縁膜上に第2の金属薄膜を形成し、

前記第1の薄膜トランジスタ上と、前記第2の薄膜トランジスタのソース及びドレイン領域となる前記半導体層上の前記第2の金属薄膜を除去するようにパターニングし、

前記第1の薄膜トランジスタのゲート電極と、パターニングされた前記第2の金属薄膜とをマスクとして第1導電型の不純物を前記半導体層に注入して、前記第1及び第2の薄膜トランジスタのソース及びドレイン領域を形成し、

パターニングされた前記第2の金属薄膜をさらにパターニングして前記第2の薄膜トランジスタのゲート電極を形成し、

前記第2の薄膜トランジスタのゲート電極をマスクとして第1導電型の不純物を前記半導体層に注入して、前記第2の薄膜トランジスタのソース及びドレイン領域とチャネル領域との間に低濃度不純物領域を形成すること

を特徴とする薄膜トランジスタ装置の製造方法。

【0115】

(付記10)

付記9記載の薄膜トランジスタ装置の製造方法において、

前記第1の薄膜トランジスタのゲート電極の形成と同時に第3の薄膜トランジスタのゲート電極を形成し、

前記第2の薄膜トランジスタのゲート電極の形成と同時に第4の薄膜トランジスタのゲート電極を形成し、

前記第1及び第2の薄膜トランジスタを覆うようにレジストマスクを形成し、

前記レジストマスク並びに前記第3及び第4の薄膜トランジスタのゲート電極をマスクとして第2導電型の不純物を前記半導体層に注入して、前記第3及び第4の薄膜トランジスタのソース及びドレイン領域を形成し、

前記レジストマスクを除去した後に前記第1及び第2導電型の不純物を活性化すること

を特徴とする薄膜トランジスタ装置の製造方法。

【0116】

(付記11)

付記10記載の薄膜トランジスタ装置の製造方法において、

前記第2及び第4の薄膜トランジスタのゲート電極の形成と同時に、前記第3の薄膜トランジスタ上の前記第2の金属薄膜を除去すること

を特徴とする薄膜トランジスタ装置の製造方法。

【0117】

(付記12)

付記10又は11に記載の薄膜トランジスタ装置の製造方法において、

前記レジストマスクを除去した後に、前記第2の薄膜トランジスタの低濃度不純物領域を形成すること

を特徴とする薄膜トランジスタ装置の製造方法。

【0118】

(付記13)

付記9乃至12のいずれか1項に記載の薄膜トランジスタ装置の製造方法において、

前記第2及び／又は第4の薄膜トランジスタのゲート電極を形成する工程は、前記低濃度不純物領域を形成しない前記第2の薄膜トランジスタのゲート電極がエッティングされないようにレジストマスクで覆うこと
を特徴とする薄膜トランジスタ装置の製造方法。

【0119】

(付記14)

基板上に所定形状の半導体層を形成し、
前記半導体層上に第1及び第2の薄膜トランジスタの第1のゲート絶縁膜を形成し、

前記第1のゲート絶縁膜上に第1の金属薄膜を形成し、
前記第1の金属薄膜をパターニングして前記第1の薄膜トランジスタのゲート電極を形成し、
前記第1の薄膜トランジスタのゲート電極上に前記第2の薄膜トランジスタの第2のゲート絶縁膜を形成し、

前記第2のゲート絶縁膜上に第2の金属薄膜を形成し、
前記第2の金属薄膜上に第1のレジストマスクを形成し、
前記第1の薄膜トランジスタ上と、前記第2の薄膜トランジスタのソース及びドレイン領域となる前記半導体層上の前記第2の金属薄膜を除去するように、前記第1のレジストマスクを用いてパターニングし、
パターニングされた前記第2の金属薄膜の幅を前記第1のレジストマスクの幅より狭く加工し、

前記第1のレジストマスク及び前記第1の薄膜トランジスタのゲート電極をマスクとして第1導電型の不純物を前記半導体層に注入して、前記第1及び第2の薄膜トランジスタのソース及びドレイン領域を形成し、

前記第1のレジストマスクを除去し、
加工された前記第2の金属薄膜をマスクとして第1導電型の不純物を前記半導体層に注入して、前記第2の薄膜トランジスタのソース及びドレイン領域とチャ

ネル領域との間に低濃度不純物領域を形成すること
を特徴とする薄膜トランジスタ装置の製造方法。

【0120】

(付記15)

付記14記載の薄膜トランジスタ装置の製造方法において、
前記第1の薄膜トランジスタのゲート電極の形成と同時に第3の薄膜トランジ
スタのゲート電極を形成し、
前記第1及び第2の薄膜トランジスタ上と、第4の薄膜トランジスタのゲート
電極となる前記第2の金属薄膜上とに第2のレジストマスクを形成し、
前記第3の薄膜トランジスタ上と、前記第4の薄膜トランジスタのソース及び
ドレイン領域となる前記半導体層上の前記第2の金属薄膜を除去するように、前
記第2のレジストマスクを用いてパターニングし、
前記第2のレジストマスクをマスクとして第2導電型の不純物を前記半導体層
に注入して、前記第3及び第4の薄膜トランジスタのソース及びドレイン領域を
形成し、
前記第2のレジストマスクを除去した後に前記第1及び第2導電型の不純物を
活性化すること
を特徴とする薄膜トランジスタ装置の製造方法。

【0121】

(付記16)

付記15記載の薄膜トランジスタ装置の製造方法において、
前記第1のレジストマスクをマスクとして前記第1導電型の不純物を前記半導
体層に注入した後に、前記第2の金属薄膜の幅を前記第1のレジストマスクの幅
より狭く加工すること
を特徴とする薄膜トランジスタ装置の製造方法。

【0122】

(付記17)

付記15又は16に記載の薄膜トランジスタ装置の製造方法において、
前記第2のレジストマスクを除去した後に、前記第2の金属薄膜をマスクとし

て前記第1導電型の不純物を前記半導体層に注入して、前記第2の薄膜トランジスタの前記低濃度不純物領域を形成すること
を特徴とする薄膜トランジスタ装置の製造方法。

【0123】

(付記18)

付記15乃至17のいずれか1項に記載の薄膜トランジスタ装置の製造方法において、

前記第2のレジストマスクをマスクとして第2導電型の不純物を前記半導体層に注入する前に、前記第4の薄膜トランジスタのゲート電極上の前記第2のレジストマスクの幅を当該ゲート電極の幅より狭く加工すること

を特徴とする薄膜トランジスタ装置の製造方法。

【0124】

(付記19)

基板上に所定形状の半導体層を形成し、

前記半導体層上に第1及び第2の薄膜トランジスタの第1のゲート絶縁膜を形成し、

前記第1のゲート絶縁膜上に第1の金属薄膜を形成し、

前記第1の金属薄膜をパターニングして前記第1の薄膜トランジスタのゲート電極を形成し、

前記第1の薄膜トランジスタのゲート電極上に前記第2の薄膜トランジスタの第2のゲート絶縁膜を形成し、

前記第2のゲート絶縁膜上に第2の金属薄膜を形成し、

前記第1の薄膜トランジスタ上と、前記第2の薄膜トランジスタのソース及びドレイン領域となる前記半導体層上の前記第2の金属薄膜を除去するようにパターニングし、

前記第1の薄膜トランジスタのゲート電極と、パターニングされた前記第2の金属薄膜とをマスクとして第2導電型の不純物を前記半導体層に注入して、前記第1及び第2の薄膜トランジスタのソース及びドレイン領域を形成すること

を特徴とする薄膜トランジスタ装置の製造方法。

【0125】

(付記20)

付記19記載の薄膜トランジスタ装置の製造方法において、

前記第1の薄膜トランジスタのゲート電極の形成と同時に第3の薄膜トランジスタのゲート電極を形成し、

前記第1及び第2の薄膜トランジスタ上と、第4の薄膜トランジスタのゲート電極となる領域の前記第2の金属薄膜上とにレジストマスクを形成し、

パターニングされた前記第2の金属薄膜の前記第3の薄膜トランジスタ上と、前記第4の薄膜トランジスタのソース及びドレイン領域となる前記半導体層上とを除去するように、前記レジストマスクを用いてさらにパターニングし、

さらにパターニングされた前記第2の金属薄膜の幅を前記レジストマスクの幅より狭く加工して、前記第4の薄膜トランジスタのゲート電極を形成し、

前記レジストマスク及び前記第3の薄膜トランジスタのゲート電極をマスクとして第1導電型の不純物を前記半導体層に注入して、前記第3及び第4の薄膜トランジスタのソース及びドレイン領域を形成し、

前記レジストマスクを除去し、

前記第4の薄膜トランジスタのゲート電極をマスクとして第1導電型の不純物を前記半導体層に注入し、前記第4の薄膜トランジスタのソース及びドレイン領域とチャネル領域との間に低濃度不純物領域を形成し、

前記第1及び第2導電型の不純物を活性化すること

を特徴とする薄膜トランジスタ装置の製造方法。

【0126】

(付記21)

付記20記載の薄膜トランジスタ装置の製造方法において、

前記レジストマスクをマスクとして前記第1導電型の不純物を前記半導体層に注入した後に、前記第2の金属薄膜の幅を前記レジストマスクの幅より狭く加工して前記第4の薄膜トランジスタのゲート電極を形成すること

を特徴とする薄膜トランジスタ装置の製造方法。

【0127】

(付記22)

基板上に所定形状の半導体層を形成し、
前記半導体層上に第1乃至第4の薄膜トランジスタの第1のゲート絶縁膜を形成し、
前記第1のゲート絶縁膜上に第1の金属薄膜を形成し、
前記第1の金属薄膜をパターニングして前記第1及び第2の薄膜トランジスタのゲート電極を形成し、
前記第1及び第2の薄膜トランジスタのゲート電極上に前記第3及び第4の薄膜トランジスタの第2のゲート絶縁膜を形成し、
前記第2のゲート絶縁膜上に第2の金属薄膜を形成し、
前記第2の金属薄膜上に第1のレジストマスクを形成し、
前記第1及び第2の薄膜トランジスタ上と、前記第3及び第4の薄膜トランジスタのソース及びドレイン領域となる前記半導体層上の前記第2の金属薄膜を除去するように前記第1のレジストマスクを用いてパターニングし、
前記第2の金属薄膜の幅を前記第1のレジストマスクの幅より狭く加工して、
前記第3及び第4の薄膜トランジスタのゲート電極を形成し、
前記第1のレジストマスクと前記第1及び第2の薄膜トランジスタのゲート電極とをマスクとして第1導電型の不純物を前記半導体層に注入して、前記第1及び第3の薄膜トランジスタのソース及びドレイン領域を形成し、
前記第1のレジストマスクを除去し、
前記第3の薄膜トランジスタのゲート電極をマスクとして第1導電型の不純物を前記半導体層に注入して、前記第3の薄膜トランジスタのソース及びドレイン領域とチャネル領域との間に低濃度不純物領域を形成すること
を特徴とする薄膜トランジスタ装置の製造方法。

【0128】

(付記23)

付記22記載の薄膜トランジスタ装置の製造方法において、
前記第1及び第3の薄膜トランジスタを覆う第2のレジストマスクを形成し、
前記第2のレジストマスクをマスクとして第2導電型の不純物を前記半導体層

に注入して、前記第2及び第4の薄膜トランジスタのソース及びドレイン領域を形成し、

前記第2のレジストマスクを除去した後に前記第1及び第2導電型の不純物を活性化すること

を特徴とする薄膜トランジスタ装置の製造方法。

【0129】

(付記24)

付記23記載の薄膜トランジスタ装置の製造方法において、

前記第2及び第4の薄膜トランジスタのソース及びドレイン領域となる前記半導体層には、前記第1及び第3の薄膜トランジスタのソース及びドレイン領域並びに低濃度不純物領域を形成する際に、前記第1導電型の不純物が注入されること

を特徴とする薄膜トランジスタ装置の製造方法。

【0130】

(付記25)

付記23又は24に記載の薄膜トランジスタ装置の製造方法において、

前記第1のレジストマスクをマスクとして前記第1導電型の不純物を前記半導体層に注入した後に、前記第2の金属薄膜の幅を前記第1のレジストマスクの幅より狭く加工すること

を特徴とする薄膜トランジスタ装置の製造方法。

【0131】

(付記26)

付記23乃至25のいずれか1項に記載の薄膜トランジスタ装置の製造方法において、

前記第2のレジストマスクを除去した後に、前記第2の金属薄膜をマスクとして前記第1導電型の不純物を前記半導体層に注入して、前記第3の薄膜トランジスタの低濃度不純物領域を形成すること

を特徴とする薄膜トランジスタ装置の製造方法。

【0132】

【発明の効果】

以上の通り、本発明によれば、良好な特性及び高い信頼性の得られる薄膜トランジスタ装置を得ることができる。

【0133】

また、注入した不純物の活性化エネルギーにTFTのソース及びドレイン領域とLDD領域との間で差が出ないようになる。さらに、TFTのゲート電極と半導体層との間のリーク電流が抑制されるようになる。

【0134】

また、低電圧用TFTのためにゲート絶縁膜を薄くしても問題が生じないようになる。さらに、TFT毎のLDD長を容易に制御でき、選択的にLDDを有さないTFTを形成することもできる。

【0135】

さらに、ゲート絶縁膜をエッチングせずに形成されるn型及びp型、低電圧用及び高電圧用TFT若しくはこれらの組合せ、これらのTFTを含むTFT基板、並びに当該TFT基板を含む表示装置を実現できる。

【図面の簡単な説明】

【図1】

本発明の一実施の形態による液晶表示装置の構成を示す図である。

【図2】

本発明の一実施の形態の実施例1によるTFT基板の構成及び製造方法を示す工程断面図である。

【図3】

本発明の一実施の形態の実施例1によるTFT基板の構成及び製造方法を示す工程断面図である。

【図4】

本発明の一実施の形態の実施例2によるTFT基板の構成及び製造方法を示す工程断面図である。

【図5】

本発明の一実施の形態の実施例2によるTFT基板の構成及び製造方法を示す

工程断面図である。

【図6】

本発明の一実施の形態の実施例3によるTFT基板の構成及び製造方法を示す工程断面図である。

【図7】

本発明の一実施の形態の実施例3によるTFT基板の構成及び製造方法を示す工程断面図である。

【図8】

本発明の一実施の形態の実施例4によるTFT基板の構成及び製造方法を示す工程断面図である。

【図9】

本発明の一実施の形態の実施例4によるTFT基板の構成及び製造方法を示す工程断面図である。

【図10】

本発明の一実施の形態の実施例5によるTFT基板の構成及び製造方法を示す工程断面図である。

【図11】

本発明の一実施の形態の実施例5によるTFT基板の構成及び製造方法を示す工程断面図である。

【図12】

第1の従来例によるTFT基板の構成及び製造方法を示す工程断面図である。

【図13】

第1の従来例によるTFT基板の構成及び製造方法を示す工程断面図である。

【図14】

第2の従来例によるTFT基板の構成及び製造方法を示す工程断面図である。

【図15】

第2の従来例によるTFT基板の構成及び製造方法を示す工程断面図である。

【符号の説明】

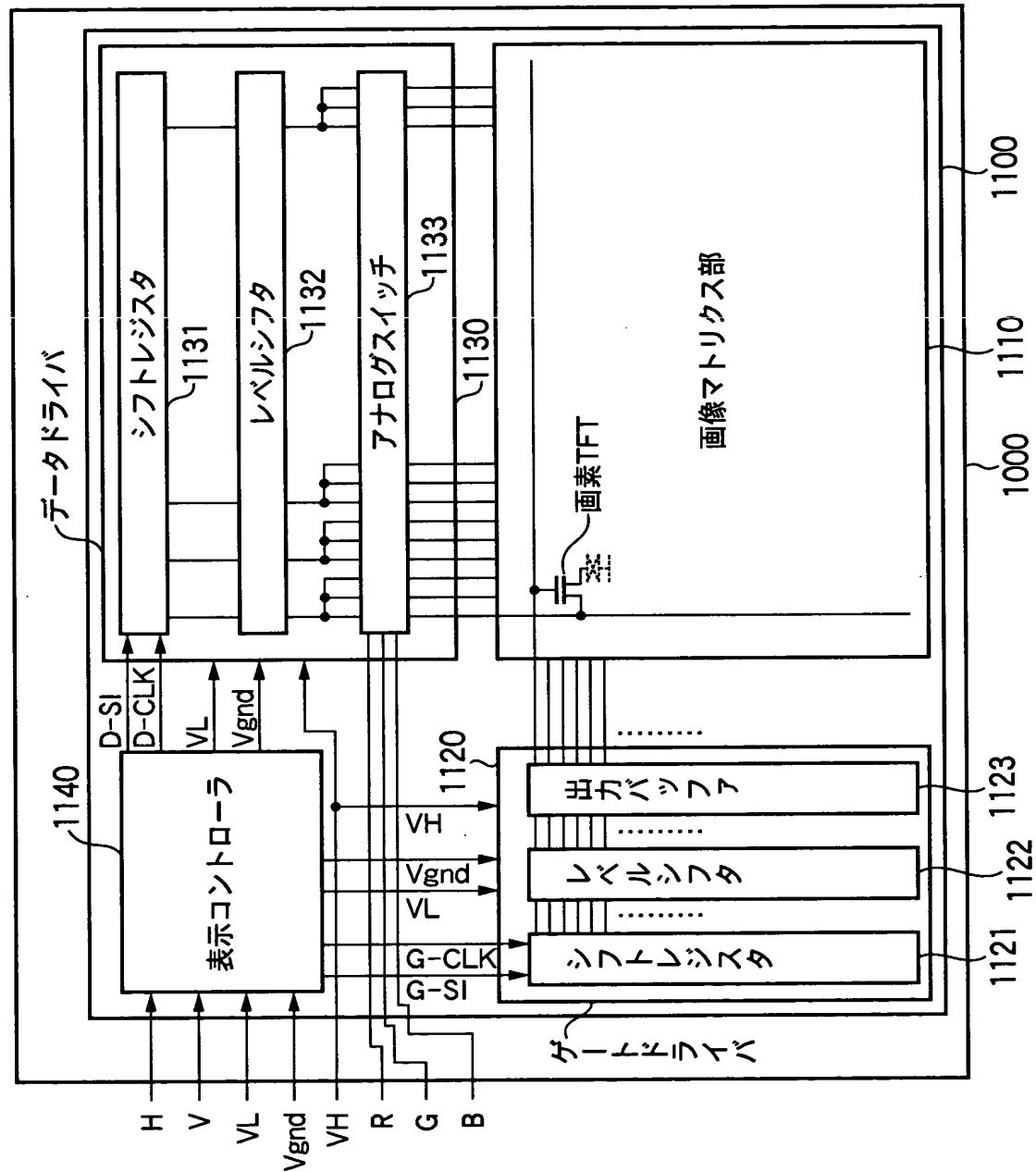
1, 21, 31, 41, 61 透明絶縁性基板

2, 22, 32, 42, 62 バッファ層
3, 23, 33, 43, 63 半導体層
4, 24, 26, 34, 36, 44, 46, 64, 66 ゲート絶縁膜
5, 25, 27, 35, 37, 45, 47, 65, 67 金属薄膜
6, 28, 38, 39, 48, 68, 69 レジストマスク
7, 29, 40, 49, 70 層間絶縁膜
8, 30, 401, 50, 71 配線

【書類名】

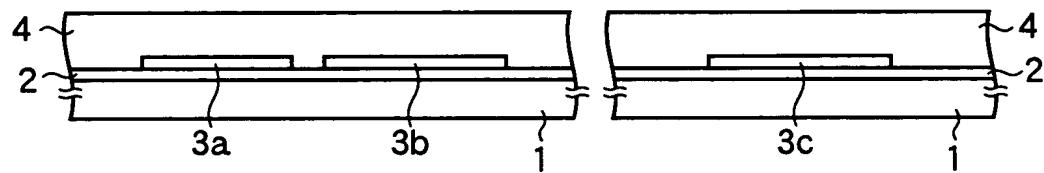
四面

【図1】



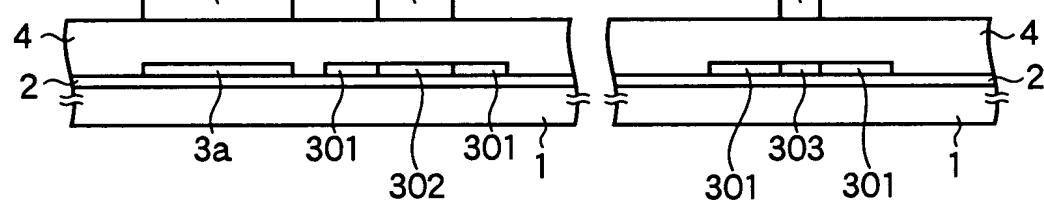
【図2】

(a)



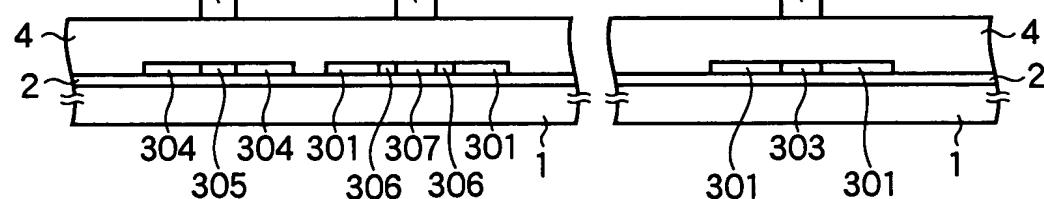
リンイオン

(b)

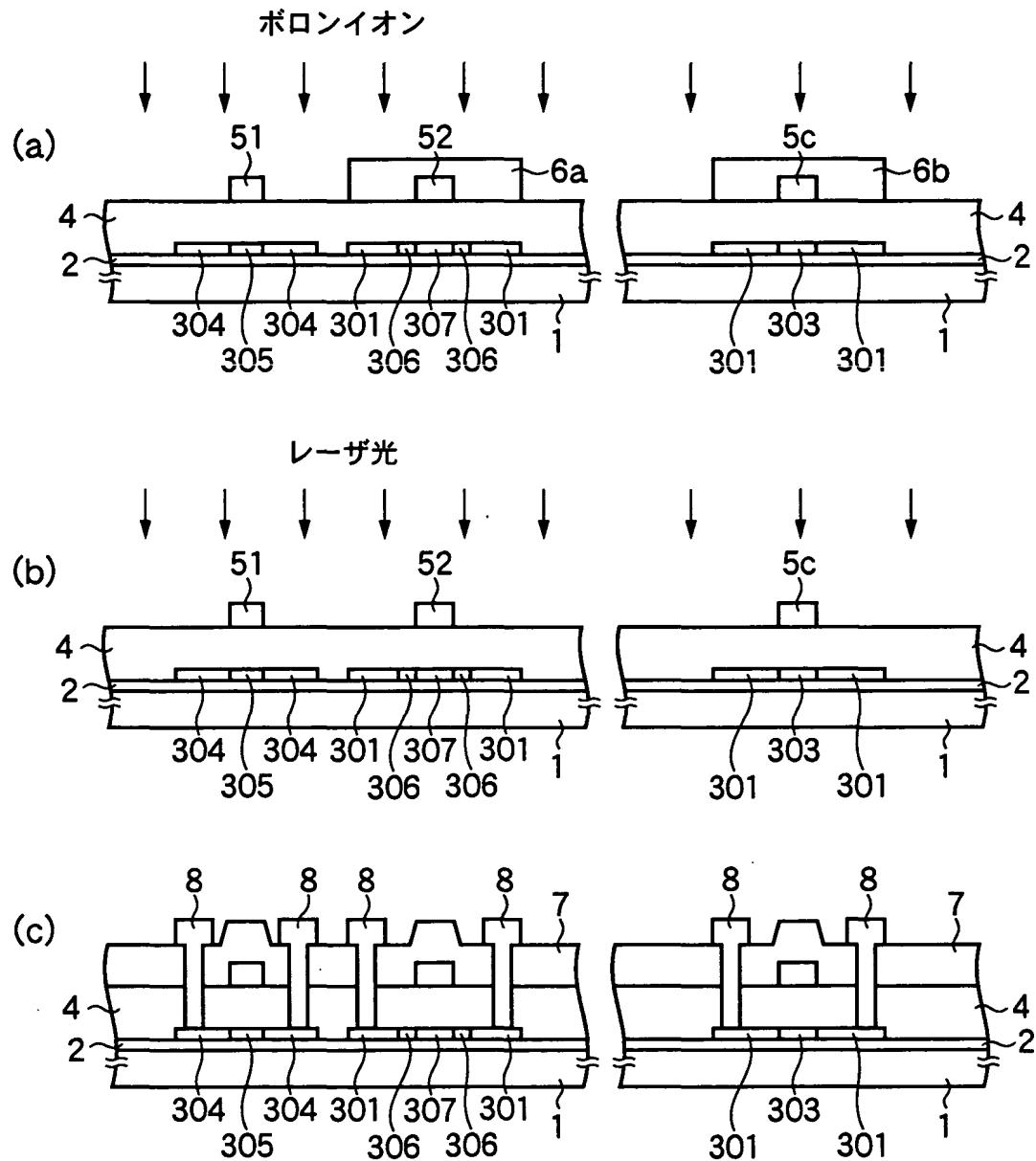


リンイオン

(c)

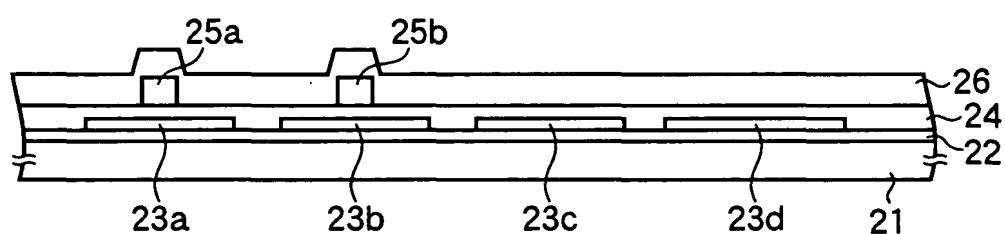


【図3】



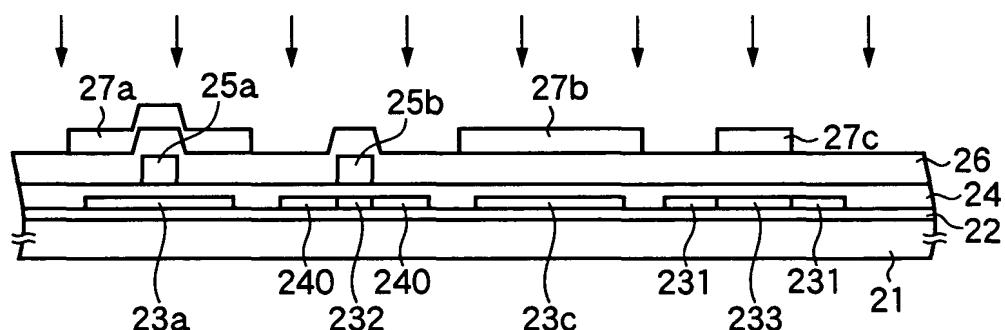
【図4】

(a)



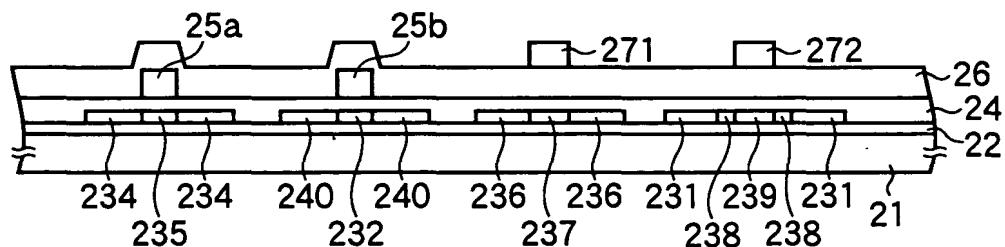
リンイオン

(b)

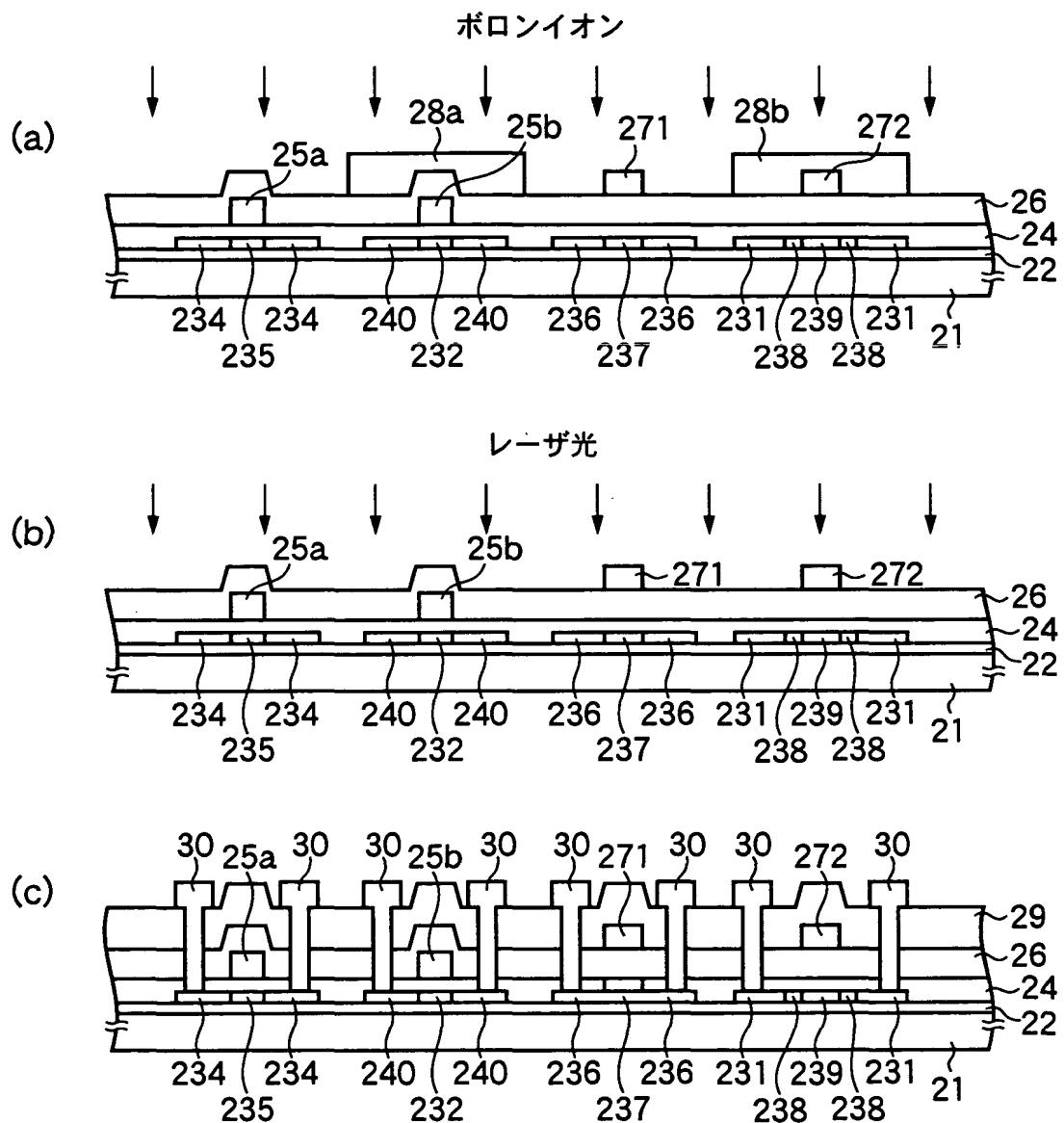


リンイオン

(c)

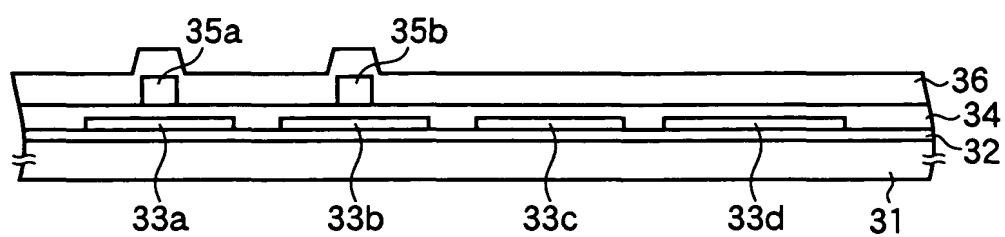


【図5】

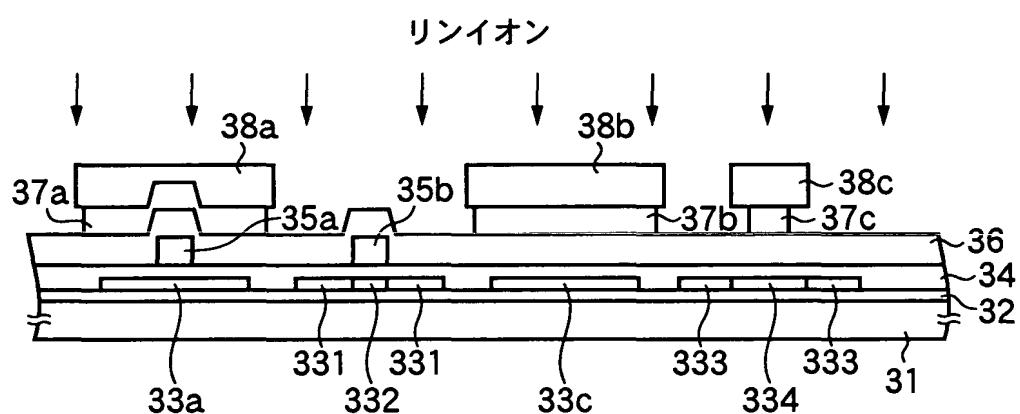


【図6】

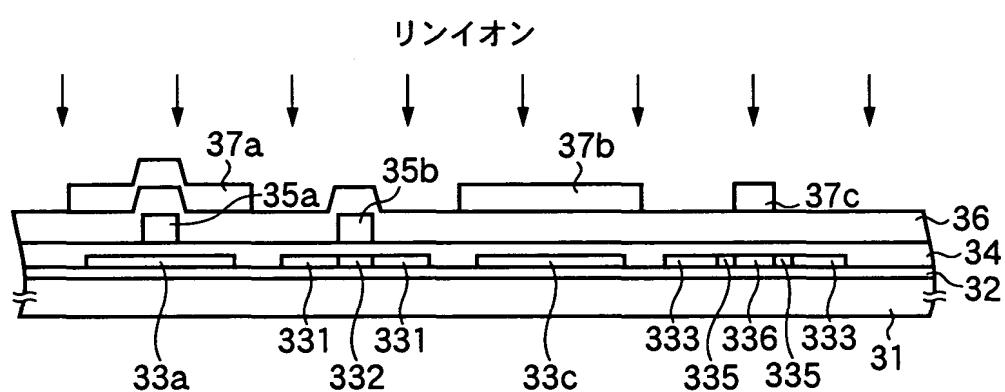
(a)



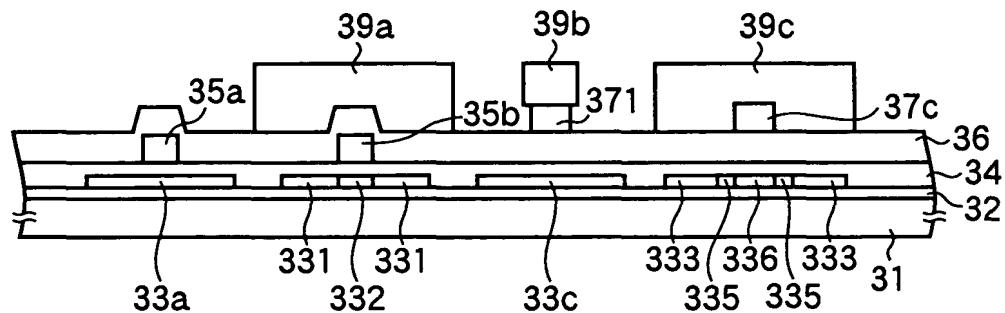
(b)



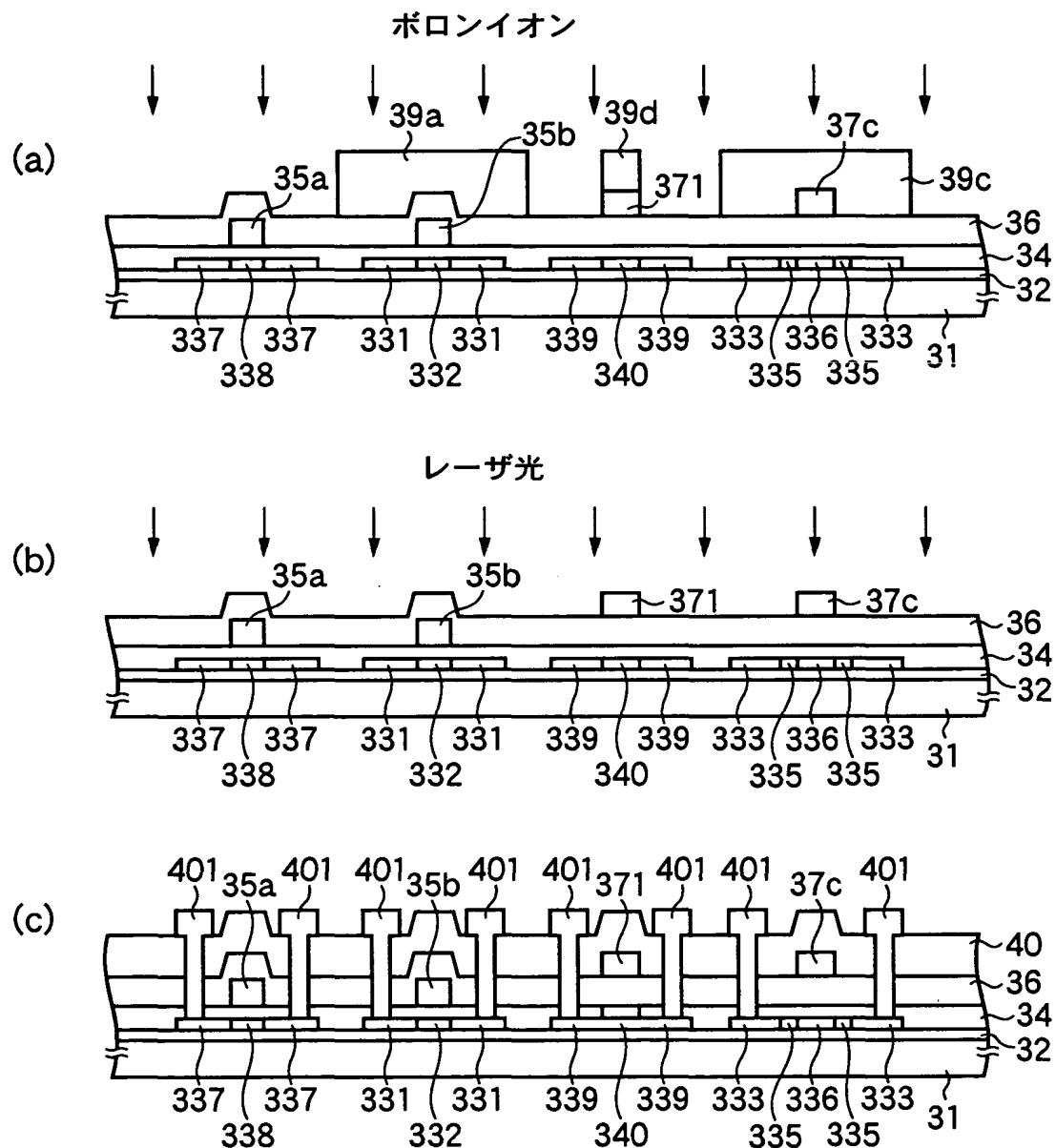
(c)



(d)

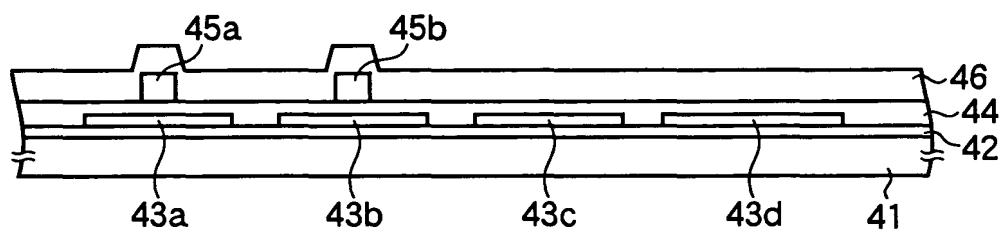


【図7】



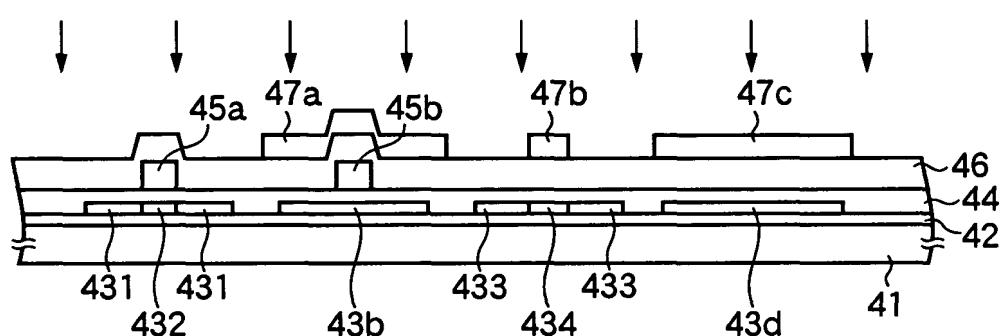
【図8】

(a)



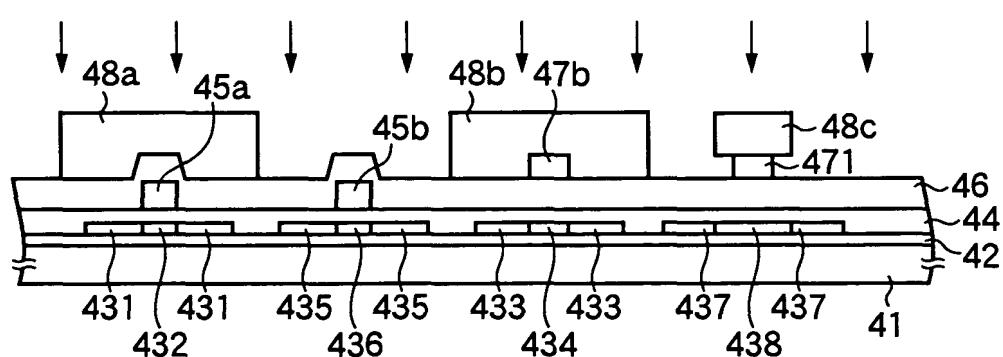
ボロンイオン

(b)

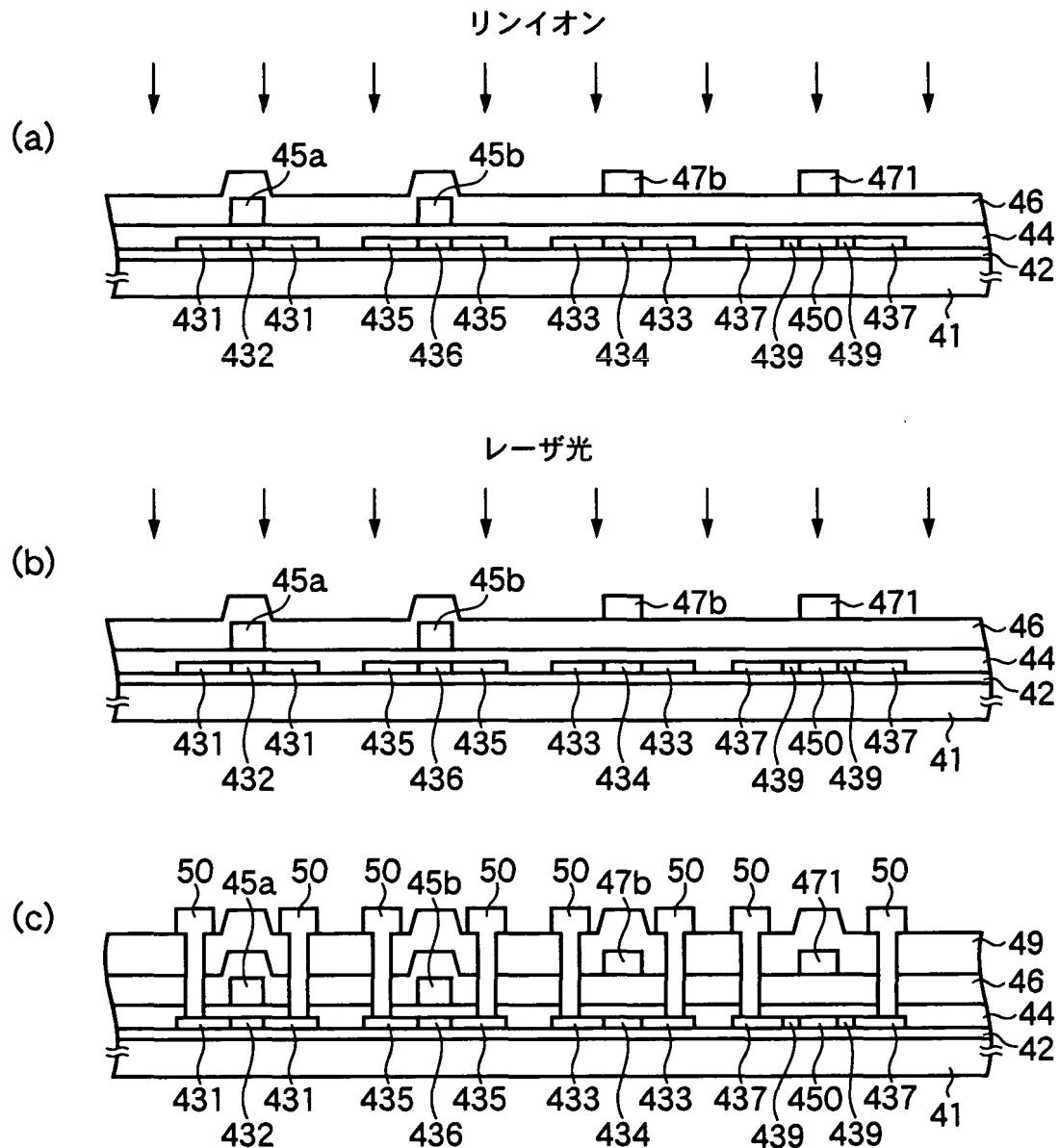


リンイオン

(c)

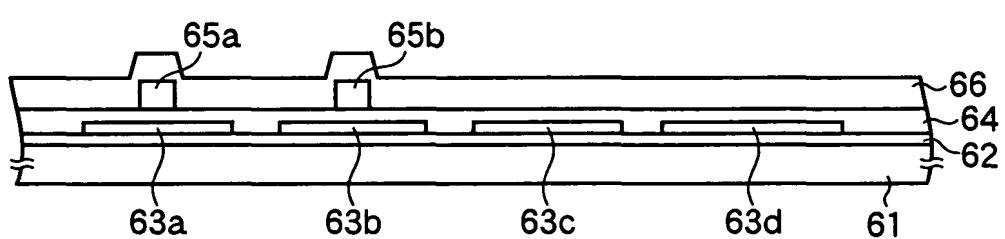


【図9】

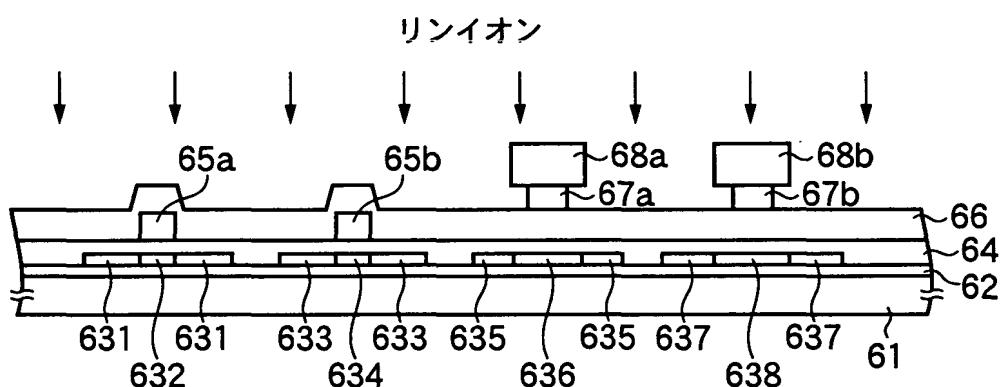


【図10】

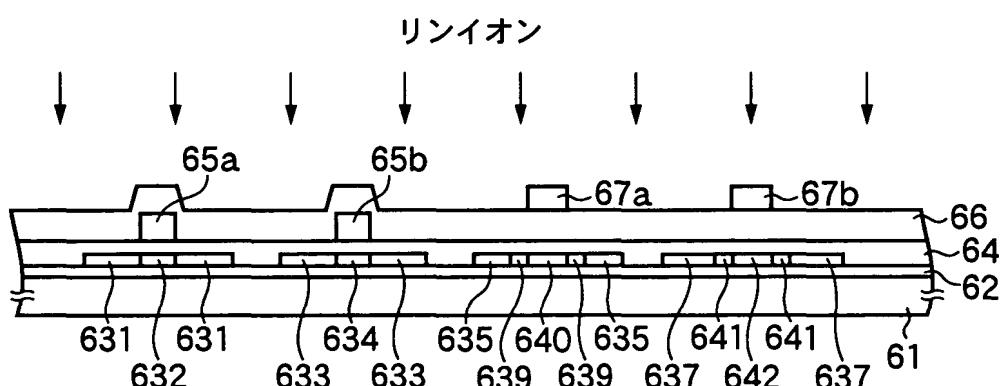
(a)



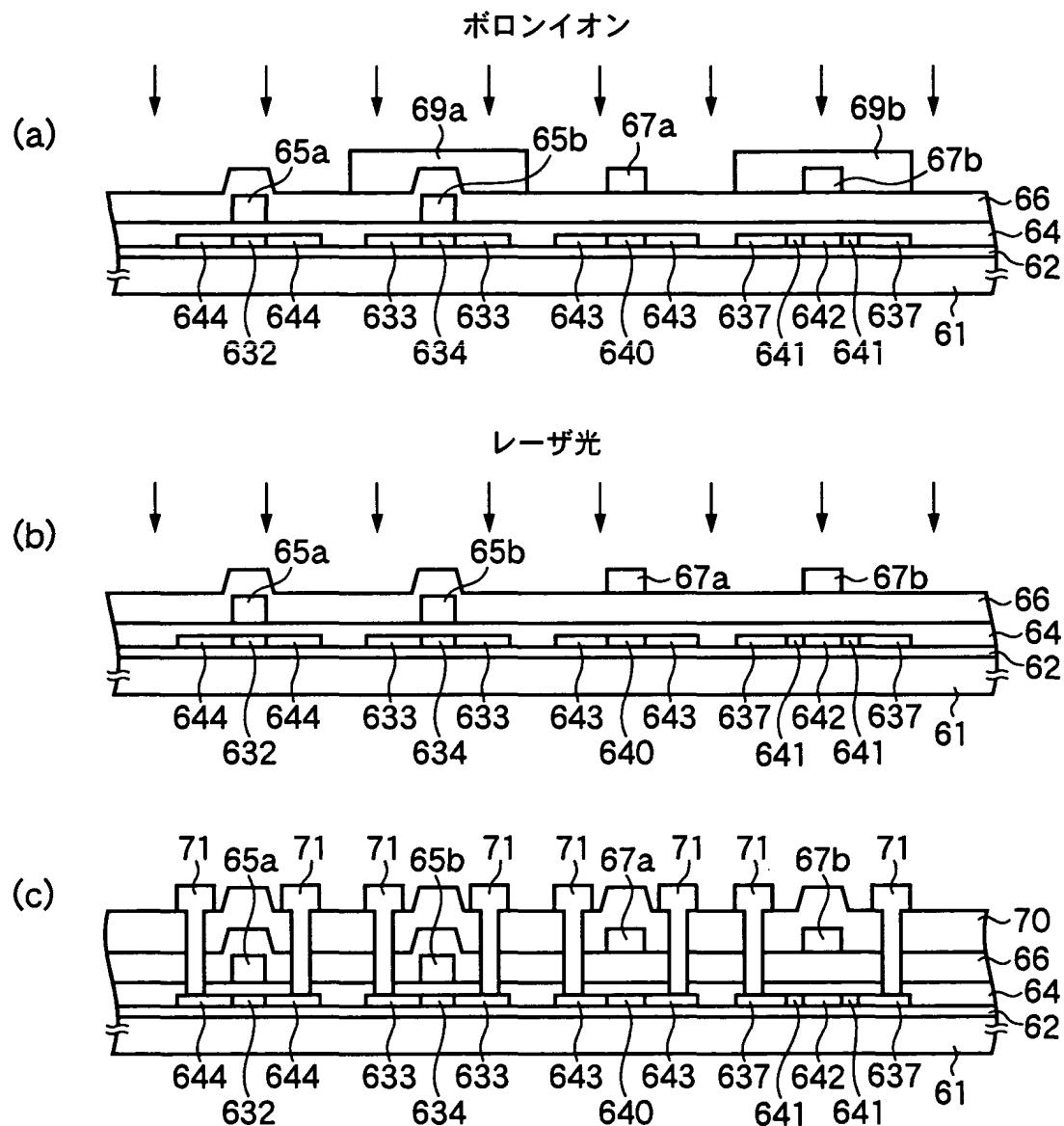
(b)



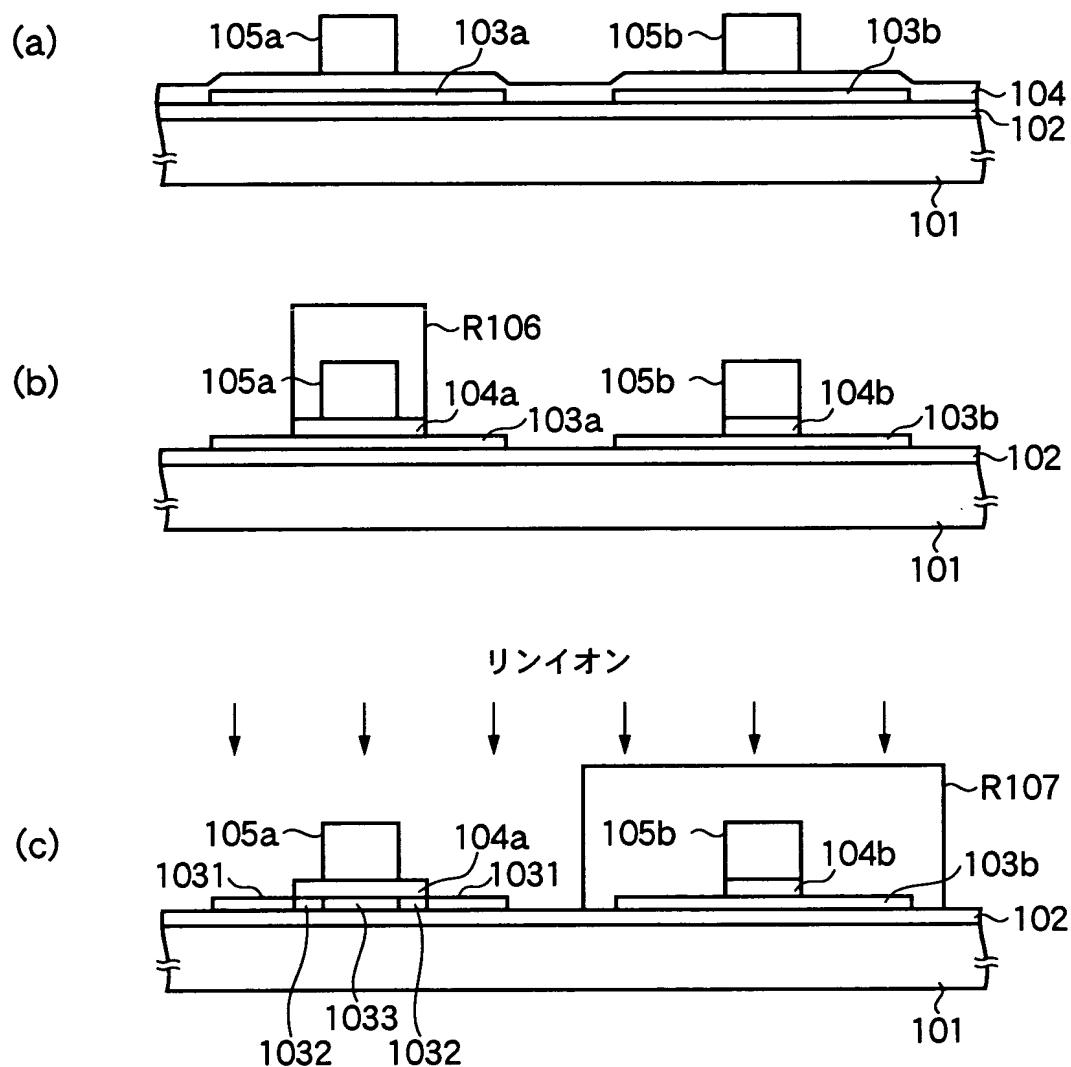
(c)



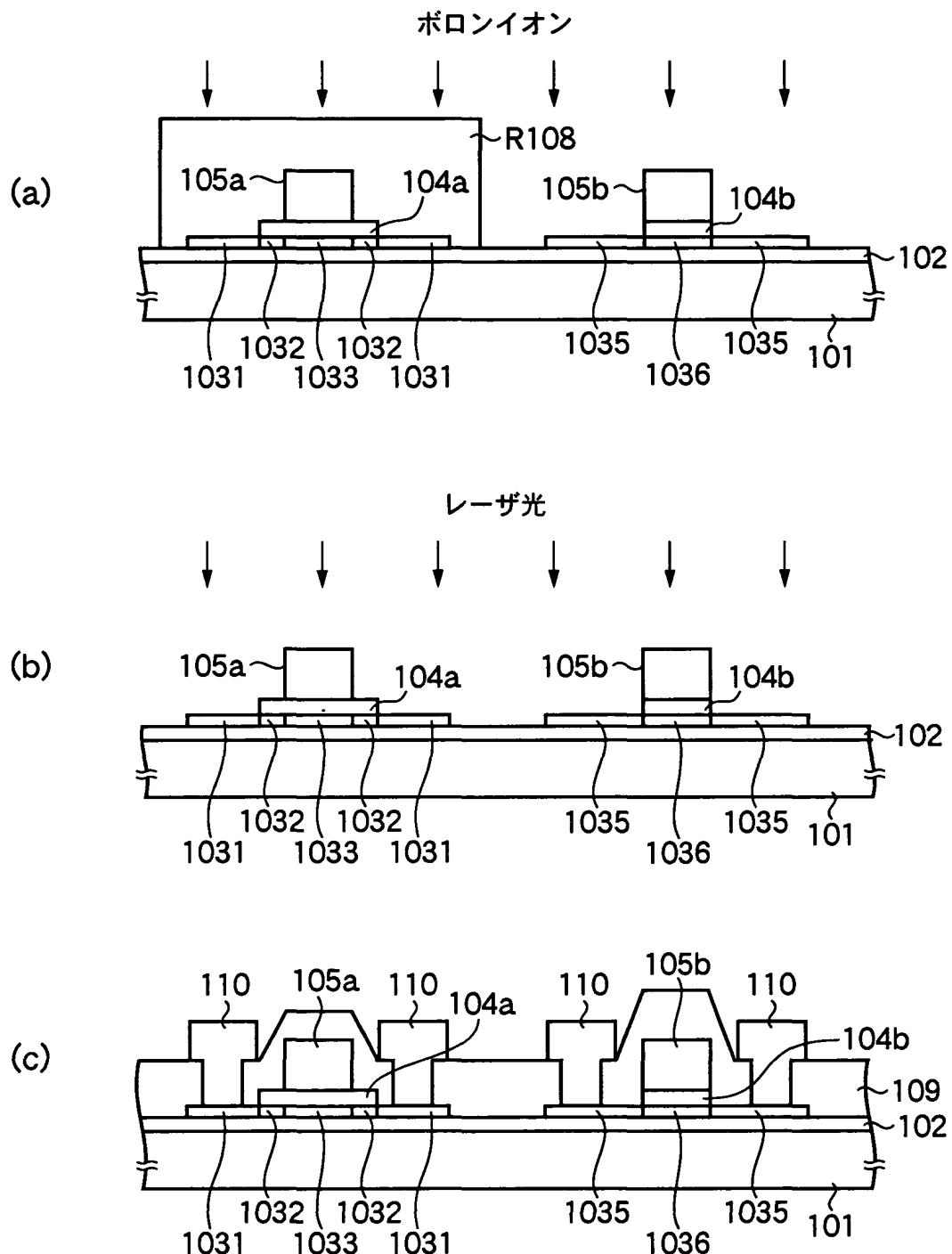
【図11】



【図12】

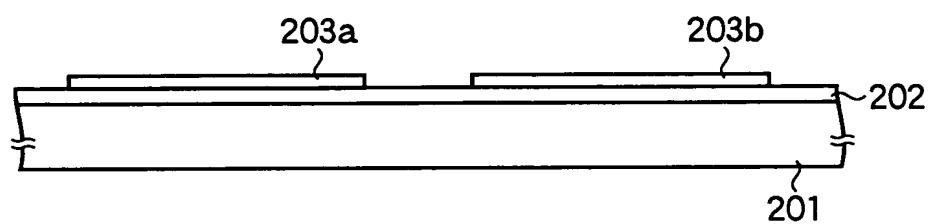


【図13】

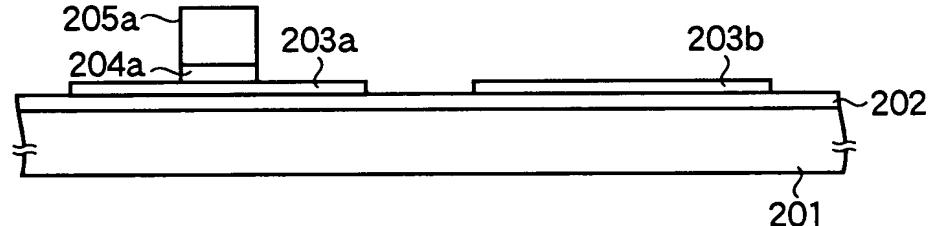


【図14】

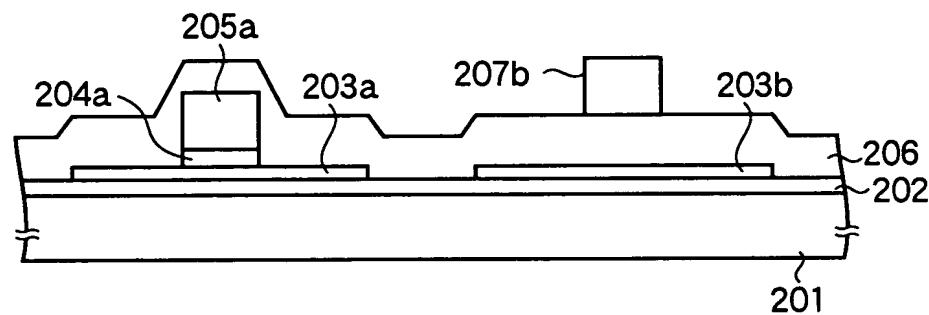
(a)



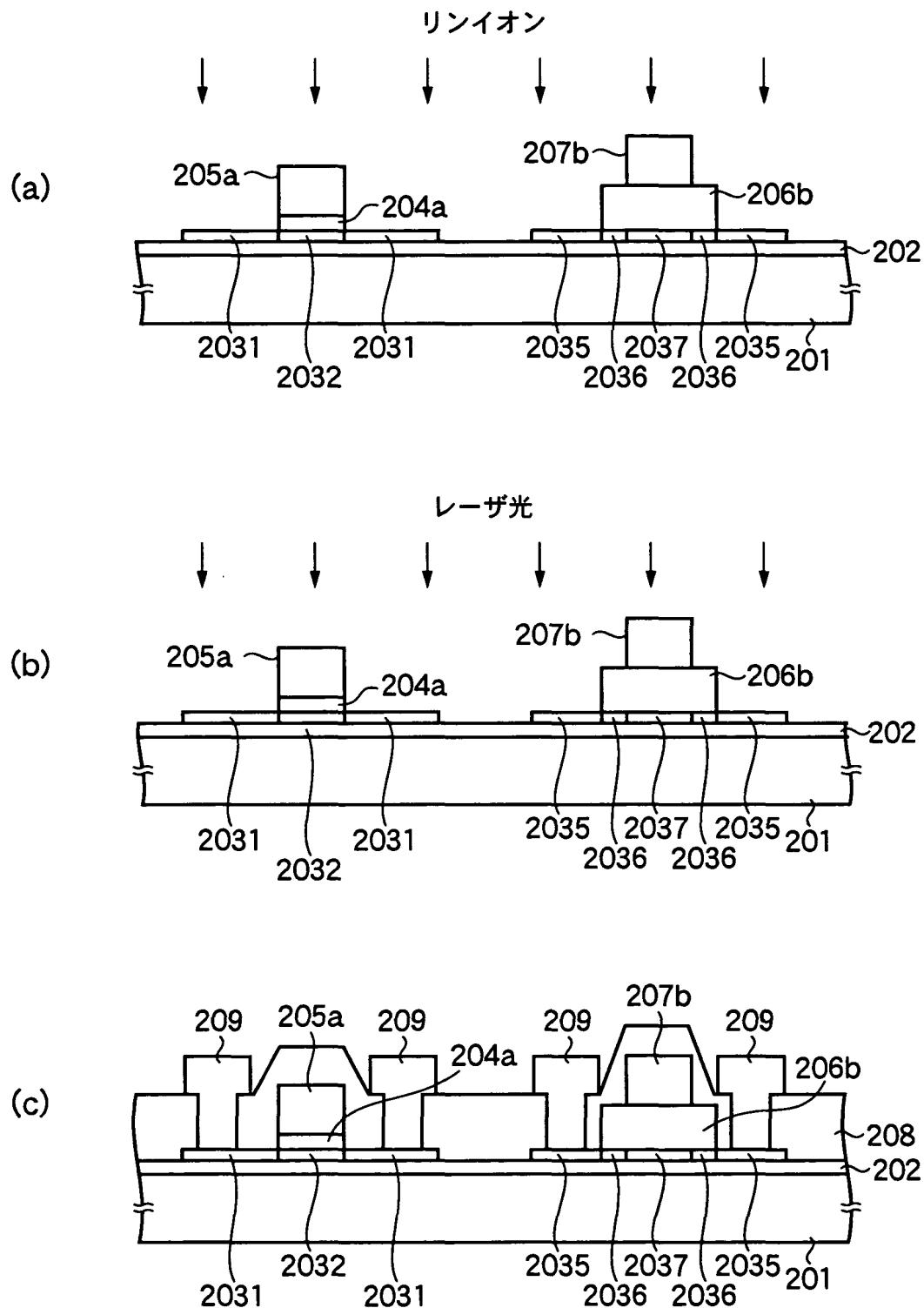
(b)



(c)



【図15】



【書類名】 要約書

【要約】

【課題】 本発明は、 TFT装置及びその製造方法、並びにそれを備えた TFT基板及び表示装置に関し、良好な特性及び高い信頼性の得られる TFT装置及びその製造方法、並びにそれを備えた TFT基板及び表示装置を提供することを目的とする。

【解決手段】 ゲート絶縁膜4上に金属薄膜を形成し、n型TFTのソース及びドレイン領域301となる半導体層3b上の金属薄膜を除去するようにパターニングし、パターニングされた金属薄膜5bをマスクとしてリンイオンを注入してソース及びドレイン領域301を形成し、パターニングされた金属薄膜5bをさらにパターニングしてn型TFTのゲート電極52を形成し、ゲート電極52をマスクとしてリンイオンを注入して、ソース及びドレイン領域301とチャネル領域307との間にLDD領域306を形成する。

【選択図】 図2

出願人履歴情報

識別番号 [302036002]

1. 変更年月日 2002年 6月13日

[変更理由] 新規登録

住 所 神奈川県川崎市中原区上小田中4丁目1番1号
氏 名 富士通ディスプレイテクノロジーズ株式会社